

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



19 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

12 Übersetzung der  
europäischen Patentschrift

97 EP 0 570 158 B 1

10 DE 693 27 612 T 2

51 Int. Cl.<sup>7</sup>:  
H 03 K 5/00  
G 06 F 1/04  
H 03 K 5/14  
H 03 K 5/15  
H 03 K 5/153  
G 06 F 1/08

- 21 Deutsches Aktenzeichen: 693 27 612.6  
96 Europäisches Aktenzeichen: 93 303 528.9  
96 Europäischer Anmeldetag: 7. 5. 1993  
97 Erstveröffentlichung durch das EPA: 18. 11. 1993  
97 Veröffentlichungstag  
der Patenterteilung beim EPA: 19. 1. 2000  
47 Veröffentlichungstag im Patentblatt: 31. 8. 2000

30 Unionspriorität:

880550	08. 05. 1992	US
880751	08. 05. 1992	US
975809	13. 11. 1992	US

73 Patentinhaber:

National Semiconductor Corp., Richardson, Texas,  
US

74 Vertreter:

WINTER, BRANDL, FÜRNISS, HÜBNER, RÖSS,  
KAISER, POLTE, Partnerschaft, 85354 Freising

84 Benannte Vertragsstaaten:

CH, DE, ES, FR, GB, IE, IT, LI, NL

72 Erfinder:

Eitrheim, John K., Garland, Texas 75044, US; Reis,  
Richards B., Garland, Texas 75044, US

54 Schaltung und Verfahren zur Generierung eines stabilen Taktsignals mit Frequenzvervielfachung

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

DE 693 27 612 T 2

DE 693 27 612 T 2

### Beschreibung

Diese Erfindung bezieht sich auf die Erzeugung von  
5 Taktsignalen, und ist insbesondere auf die interne Takt-  
erzeugung und die Verteilungsschemen in integrierten  
Schaltungen gerichtet.

Viele moderne integrierte Schaltungen sind Synchron-  
10 schaltungen, so daß ihre interne Operation durch ein ex-  
ternes Taktsignal bestimmt wird. Beispiele von hochdich-  
ten, getakteten Hochgeschwindigkeits-Logikschaltungen um-  
fassen Mikroprozessoren, Mikrocomputer, mathematische Co-  
prozessoren und dergleichen; selbstverständlich können  
15 auch andere einfachere Schaltungen wie z. B. Speicher und  
kleinere Logikschaltungen durch externe Taktsignale ge-  
steuert werden. Taktsignale können in Systemen, die diese  
Schaltungen verwenden, mit einer selbständigen Kristall-  
oszillatorschaltung erzeugt werden, oder durch Verbinden  
20 eines Kristalls mit den Anschlüssen der getakteten Logik-  
schaltung selbst, in dem Fall, indem der Oszillator auf  
demselben integrierten Schaltungschip wie die Logikfunk-  
tion integriert ist.

25 Wie im Stand der Technik wohlbekannt ist, hängt die  
Geschwindigkeit, mit der eine getaktete integrierte  
Schaltung ihre Funktion ausführt, stark von der Frequenz  
des Taktsignals ab. Insbesondere in digitalen Schaltungen  
liegt dies daran, daß die internen Chipfunktionen entwe-  
30 der direkt oder indirekt (über Frequenzteiler, Phasenver-  
riegelungsschleifen und dergleichen) durch das empfangene  
Taktsignal gesteuert werden. Für das Beispiel eines Mi-  
kroprozessors schwankt somit die Anzahl der Befehle, die  
von der Schaltung in einer gegebenen Zeitperiode ausge-  
35 führt werden kann, mit der Frequenz des Taktsignals.



Insbesondere in komplexen getakteten Schaltungen, wie z. B. Mikroprozessoren und mathematischen Coprozessoren, kann die Leistungsfähigkeit bestimmter Schaltungsfunktionen von der Taktfrequenz abhängen, während die Geschwindigkeit, mit der andere Funktionen ausgeführt werden, durch andere Faktoren begrenzt sein kann. Zum Beispiel können bestimmte Eingabe/Ausgabe-Funktionen durch Busschnittstellenspezifikationen statt durch die Taktfrequenz beschränkt sein, während die Geschwindigkeit der Kern- oder CPU-Funktionen eher direkt von der Taktfrequenz abhängt.

Es ist daher in solchen Schaltungen vorteilhaft, hohe Taktfrequenzen für bestimmte Abschnitte der Schaltung (z. B. die CPU oder den Kern eines Mikroprozessors) bereitzustellen, während niedrigere Taktfrequenzen anderen Abschnitten zugeführt werden (z. B. der Busschnittstelle). Auf dem Gebiet der Mikroprozessoren wird dieses gewünschte Ergebnis im allgemeinen als "Taktverdopplung" bezeichnet, insbesondere in dem Fall, in dem der Kerntakt mit der doppelten Geschwindigkeit der Busschnittstellentakte betrieben wird.

Eine herkömmliche Schaltung zum Herleiten von Taktsignalen mit verschiedenen Frequenzen aus einem Eingangstaktsignal ist die Kombination einer Phasenverriegelungsschleife (PLL) und einem oder mehreren Frequenzteilern. In dieser Anordnung sorgt die PLL für Stabilität in den erzeugten Ausgangstaktsignalen relativ zum Eingangstakt, während das Verhältnis der Frequenzteiler in den Ausgangs- und Rückkopplungsschleifen die relative Frequenz zwischen den Ausgangstaktsignalen und dem Eingangstakt bestimmt. Eine PLL-Schaltung kann jedoch nicht unmittelbar auf eine Änderung der Eingangstaktfrequenz reagieren, da mehrere Übergangszyklen erforderlich sind, um auf eine neue Eingangstaktsignalfrequenz einzurasten.

Die Fähigkeit zur schnellen Änderung der internen Betriebsfrequenz wurde in den letzten Jahren mit dem Aufkommen von "Turbo"-Modus-Personalcomputern und Arbeitsstationen wichtig, in denen eine schnellere Taktrate (z. B. 20 MHz anstelle von 8 MHz) vom Benutzer über einen Hardwareschalter freigegeben wird. Die Übergangszyklen, die für PLL-Schaltungen erforderlich sind, um auf eine neue Frequenz einzurasten, können somit eine fehlerhafte Systemoperation hervorrufen, wenn der Turbomodus selektiert oder deselektiert wird.

Außerdem sind Schaltungen auf PLL-Basis im allgemeinen im Betriebsstromversorgungs-Spannungsbereich beschränkt (hauptsächlich aufgrund der Operation des spannungsgesteuerten Oszillators) und sind daher nicht gut geeignet für die Verwendung in Schaltungen, die über einen weiten Stromversorgungs-Spannungsbereich betrieben werden sollen. Da die moderne Herstellungstechnik weiterhin physikalische Merkmalsabmessungen wie z. B. die Transistorkanallängen bis weit unterhalb einem Mikrometer reduziert, wird angenommen, daß die Verwendung niedriger Stromversorgungsspannungen (z. B. 3,3 V) zunehmen wird, um Zuverlässigkeitsprobleme, wie z. B. den Heißelektronen-Effekt, zu vermeiden. Es wird daher zunehmend wichtig für hochintegrierte Schaltungen, daß sie fähig sind, mit niedrigeren Stromversorgungsspannungen zu arbeiten, vielleicht sogar über einen Bereich, der sowohl die herkömmliche Stromversorgungsspannung von 5 Volt als auch die niedrigere Stromversorgungsspannung von 3,3 Volt umfaßt.

Eine weitere bekannte Technik zum Bereitstellen unterschiedlicher Taktfrequenzen für unterschiedliche Schaltungsabschnitte besteht darin, zwei Anschlüsse zum Empfangen von Eingangstakten mit unterschiedlichen Frequenzen vorzusehen. Bei dieser Technik, die z. B. im mathematischen Coprozessor Intel 80387 verwendet wird,

wählt der Zustand eines weiteren Anschlusses (entweder extern fest verdrahtet oder in der Verdrahtung einer On-Chip-Bond-Anschlußfläche angeschlossen) aus, ob das an dem alternativen Taktanschluß empfangene Taktsignal ignoriert oder verwendet werden soll.

Bestimmte andere Taktverdopplungsschemen beziehen sich auf die Verwendung interner Frequenzteiler, um die Eingangstaktfrequenz vor dem Anlegen an langsamere Schaltungsfunktionen herunterzuteilen. Es ist z. B. bekannt, einen Takt mit halber Frequenz (bezüglich der Eingangstaktfrequenz) zu verwenden, um die Busschnittstelle einer Mikroprozessorschaltung zu steuern. In solchen Anordnungen reduziert der Frequenzteiler nicht nur die Taktfrequenz, sondern korrigiert auch Schwankungen im Tastverhältnis sowie Überswingungszustände des Eingangstaktsignals. Obwohl eine solche Korrektur für Eingangstakt-Instabilitäten vor der Verwendung in langsameren Schaltungsfunktionen durchgeführt werden kann, schließen diese Instabilitäten die direkte Verwendung des Eingangstaktsignals für die Hochgeschwindigkeits-Schaltungsfunktionen in der CPU oder im Kern aus. Genauer, bestimmte Phasen des Eingangstaktsignals können zu kurz sein (insbesondere wenn sie instabil sind), um den Abschluß bestimmter interner Kernfunktionen zu erlauben.

Nicht alle Mikroprozessoren, mathematischen Coprozessoren und dergleichen arbeiten jedoch unbedingt im Taktverdopplungsmodus. Zum Beispiel kann in relativ langsamen Computern und Arbeitsstationen nur eine einzige niedrige Taktfrequenz (z. B. in der Größenordnung von 8 MHz) verfügbar sein, so daß sowohl Busoperationen als auch CPU- oder Kernoperationen mit der langsameren Taktfrequenz arbeiten. In einer solchen Umgebung würde das Herunterteilen der Frequenz der relativ niedrigen Eingangstaktfrequenz zum Erzeugen des Busschnittstellentaktes zu einer

schwerwiegenden Leistungsbeeinträchtigung führen. Es ist daher in diesen Anwendungen erwünscht, daß die integrierte Schaltung nicht im Taktverdopplungsmodus arbeitet.

5

Integrierte Schaltungen werden herkömmlicher Weise beginnend bei der Wafer-Herstellung so hergestellt, daß sie ein Taktverdopplungstyp oder ein Nicht-Taktverdopplungstyp sind, wobei die für jeden Typ hergestellte Menge durch die Anforderung des Kunden bestimmt wird. Die Kosten für die Bereitstellung der Herstellungskapazitäten werden jedoch schwieriger, wenn die Anzahl der Schaltungstypen zunimmt, insbesondere wenn die Schaltungsanforderung oder die Herstellungsausbeute Schwankungen unterliegen. Dementsprechend ist es wünschenswert, eine integrierte Schaltung zu schaffen, die Möglichkeiten sowohl zur Taktverdopplung als auch zur Nicht-Taktverdopplung aufweist.

20

Gemäß dem Stand der Technik wählt ein Steuersignal aus, welches der mehreren Taktsignale die Operation bestimmter integrierter Schaltungsfunktionen (wie z. B. die Kerneinheit und die Busschnittstellenschaltung) steuern soll. Die Auswahl, auf welchen von mehreren Takten eine bestimmte Schaltung ansprechen soll, erfordert eine relativ komplexe Schaltung zum Implementieren dieser Fähigkeit, um auf ein ausgewähltes Taktsignal anzusprechen. Da eine solche Schaltung den Pfad des zum Steuern der Geschwindigkeit der Schaltungsfunktion verwendeten Taktes belastet und anderweitig beeinflusst, beeinflusst eine solche Auswahlerschaltung notwendigerweise den kritischsten Zeitsteuerungspfad der Schaltungen.

35

In der Technik der internen Taktverteilung für integrierte Schaltungen, wie z. B. Mikroprozessoren und dergleichen, war ferner bisher die Optimierung des Taktver-

hältnisses für interne Takte, die aus extern zugeführten Taktsignalen erzeugt werden, im allgemeinen sehr schwierig. Dies liegt an den Einschränkungen, die durch die erwarteten Schwankungen des Tastverhältnisses des externen Taktes auferlegt werden, die in verschiedenen Zeitsteuerungsspezifikationen angegeben werden; da ferner die Mikroprozessortaktfrequenzen auf 25 MHz und mehr ansteigen, sind externe Taktsignale anfälliger für Überspringen und andere Störeffekte, die mit schnelleren Schaltzeiten zunehmen, was zu weniger gut definierten und kontrollierten Taktphasen führt. Somit hat die Erzeugung interner Taktsignale aus einem externen Taktsignal, insbesondere für eine Hochfrequenzoperation, bisher erfordert, daß der Entwickler Kompromisse beim Auswählen der Dauer jeder Phase in den internen Taktsignalen macht.

Das IBM Technical Disclosure Bulletin, Bd. 32, Nr. 12, S. 149-151, Mai 1990, "Pulse Combining Network", offenbart eine Schaltung zum Erzeugen wahrer und komplementärer Phasen eines Signals unter Verwendung von flankengetriggerten Signalspeichern. Der Bericht schlägt die Verwendung phasenverschobener Paare von wahren und komplementären Eingangsimpulszügen vor, um eine Ausgangsfrequenz zu erzeugen, die gleich dem Doppelten der Frequenz irgendeines der Eingänge ist.

Die US-A-4217639 offenbart eine Logikschaltung, die zwei Taktimpulse am Ausgang eines Exklusiv-ODER-Gatters während eines einzelnen Taktzyklus erzeugt, der durch das Vorhandensein eines binären 1-Pegels an einem Eingang eines Nicht-UND-Gatters eingeleitet wird, das einen Ausgang besitzt, der eine Verzögerungsvorrichtung speist. Das Exklusiv-ODER-Gatter empfängt Eingänge von einer Anzapfung und dem Ausgang der Verzögerungsvorrichtung, die ferner einen Rückkopplungseingang an das Nicht-UND-Gatter liefert. Ein binärer 0-Pegel wird an einem dritten Eingang

des Nicht-UND-Gatters von einem Flip-Flop erzeugt, um die Operation zu unterbinden, nachdem der zweite Taktimpuls vom Exklusiv-ODER-Gatter ausgegeben worden ist.

- 5        Gemäß einem ersten Aspekt der Erfindung wird eine Takterzeugungsschaltung geschaffen zum Erzeugen von Ausgangstaktsignalen (CORECLK) als Reaktion auf ein Eingangstaktsignal (CLKIN), die aufweist:
- 10        eine rücksetzbare Signalspeicherschaltung zum Erzeugen einer Folge von Ausgangstaktsignalflanken als Reaktion auf das Auftreten einer einzigen aktiven Flanke des Eingangstaktsignals; wobei die Signalspeicherschaltung einen ersten Eingang (S) beinhaltet, der derart gekoppelt ist, daß er ein von einer Erfassungsschaltung als
- 15        Reaktion auf ein Erfassen der aktiven Flanke des Eingangstaktsignals eingegebenes Signal aufnimmt, um dadurch einen ersten Ausgangssignalübergang in einer ersten Richtung der Signalspeicherschaltung zu bewirken; wobei der Signalspeicherausgang durch eine Verzögerungseinrichtung
- 20        und eine erste Vorrichtung zum Erfassen einer aktiven Flanke mit einem anderen Eingang (R) der Signalspeicherschaltung gekoppelt ist, um ein in den anderen Eingang eingegebenes Signal anzulegen, was einen Ausgangssignalübergang in einer entgegengesetzten Richtung zu der ersten
- 25        Richtung als Reaktion auf ein Erfassen eines Ausgangssignalübergangs in der ersten Richtung nach einer von der Verzögerungseinrichtung vorgesehenen Verzögerung bewirkt; eine Schaltung mit einer Verzögerungseinrichtung, die mit einer zweiten Vorrichtung zum Erfassen einer
- 30        aktiven Flanke gekoppelt ist, um verzögerte Ausgangssignalübergänge der Signalspeicherschaltung in einer vorbestimmten Richtung zu erfassen und als Reaktion auf jeden erfaßten Übergang ein weiteres Eingangssignal an den ersten Eingang der Signalspeicherschaltung nach einer jeweiligen Verzögerungserhöhung anzulegen, wobei jedes weitere
- 35        Eingangssignal einen anderen Ausgangssignalübergang

der Signalspeicherschaltung in der ersten Richtung bewirkt; und eine Schaltung zum Sperren eines Betriebs der Signalspeicherschaltung nach einem Erzeugen einer vorbestimmten Anzahl von Ausgangstaktsignalflanken.

5

Gemäß einem zweiten Aspekt der Erfindung wird ein Verfahren geschaffen zum Erzeugen von Ausgangstaktsignalen (CORECLK) als Reaktion auf ein Eingangstaktsignal (CLKIN) durch Einleiten einer Folge, die aufweist: Betätigen einer rücksetzbaren Signalspeicherschaltung, um eine Reihe von Ausgangstaktsignalflanken als Reaktion auf das Auftreten einer einzigen aktiven Flanke des Eingangstaktsignals zu erzeugen; Anlegen eines Signals, das als Reaktion auf ein Erfassen der aktiven Flanke des Eingangstaktsignals in einen ersten Eingang (S) der Signalspeicherschaltung eingegeben wird, um dadurch einen ersten Ausgangssignalübergang der Signalspeicherschaltung in einer ersten Richtung zu bewirken; nach einer vorbestimmten Verzögerung, Bewirken eines Signalspeicherschaltungs-Ausgangssignalübergangs in einer entgegengesetzten Richtung zu der ersten Richtung als Reaktion auf ein Erfassen eines Ausgangssignalübergangs in der ersten Richtung durch eine erste Vorrichtung zum Erfassen einer aktiven Flanke durch Anlegen eines Signals, das in einen anderen Eingang (R) der Signalspeicherschaltung eingegeben wird; und dann als Reaktion auf ein Erfassen eines Ausgangssignalübergangs der Signalspeicherschaltung in einer vorbestimmten Richtung durch eine zweite Vorrichtung zum Erfassen einer aktiven Flanke, Anlegen eines weiteren Eingangssignals an den ersten Eingang der Signalspeicherschaltung nach einer vorbestimmten Verzögerung, um einen anderen Ausgangssignalübergang der Signalspeicherschaltung in der ersten Richtung zu bewirken, um ein Wiederholen der Folge einzuleiten; und Sperren eines Betriebs der Signalspeicherschaltung nach einer ausgewählten Anzahl von Wiederholungen der Folge, um eine vor-

bestimmte Anzahl von Ausgangstaktsignalflanken zu erzeugen.

5 In den bevorzugten Ausführungsformen der Erfindung, die im folgenden beschrieben werden, enthält die Taktgeneratorschaltung eine Verzögerungseinrichtung, die entsprechend dem ungünstigsten Verzögerungspfad für eine der Taktphasen gewählt werden kann; diese Verzögerungsperiode bestimmt das Tastverhältnis des erzeugten Ausgangstaktsignals unabhängig vom Eingangstaktsignal-Tastverhältnis. 10 Die Verzögerungsperiode wird erzeugt von einer Verzögerungsstufe, die einen festen Teil und einen veränderlichen Teil besitzt; der feste Teil enthält Gatterverzögerungen verschiedener Typen, so daß Prozeß-, Spannungs- und Temperaturänderungen in einer integrierten Schaltung 15 und deren Betrieb durch Änderungen der Verzögerungsstufen ausgeglichen werden. Der veränderliche Teil der Verzögerungsstufe erleichtert die Charakterisierung und Einstellung der Verzögerungsperiode.

20 Im folgenden werden Ausführungsformen der Erfindung, wie sie beansprucht wird, beispielhaft mit Bezug auf die Fig. 8 bis 13 und Fig. 3 der beigefügten Zeichnungen beschrieben. In den Zeichnungen sind:

25 Fig. 1 ein Blockschaltbild einer integrierten Schaltung, die die bevorzugte Ausführungsform der Erfindung enthält;

30 Fig. 2 ein schematisches Schaltbild einer Taktgeneratorschaltung;

Fig. 3 ein schematisches Schaltbild einer Verzögerungsstufe in der Taktgeneratorschaltung der Fig. 2;

35 Fig. 4A und 4B Zeitablaufdiagramme, die die Operation



der Taktgeneratorschaltung zeigen;

Fig. 5 ein Blockschaltbild einer weiteren Taktgeneratorschaltung;

5

Fig. 6 ein Blockschaltbild einer weiteren Taktgeneratorschaltung;

Fig. 7 ein Zeitablaufdiagramm, das die Operation der  
10 Schaltung der Fig. 6 zeigt;

Fig. 8 ein elektrisches Blockschaltbild einer Taktgeneratorschaltung gemäß einer Ausführungsform der Erfindung;

15

Fig. 9 ein Zeitablaufdiagramm, das die Operation der Schaltung der Fig. 8 zeigt;

Fig. 10 ein elektrisches Blockschaltbild einer Taktgeneratorschaltung gemäß einer weiteren Ausführungsform der Erfindung;

20

Fig. 11 ein Zeitablaufdiagramm, das die Operation der Schaltung der Fig. 10 zeigt;

25

Fig. 12 ein elektrisches Blockschaltbild einer Taktgeneratorschaltung gemäß einer weiteren Ausführungsform der Erfindung; und

30

Fig. 13 ein Zeitablaufdiagramm, das die Operation der Schaltung der Fig. 12 zeigt.

Mit Bezug auf Fig. 1 wird zuerst die Konstruktion einer integrierten Schaltung 2, wie z. B. eines Mikroprozessors, eines mathematischen Coprozessors oder dergleichen, mit wenigstens zwei unterschiedlichen Funktionen,

35

die mit unterschiedlichen Taktfrequenzen arbeiten können und in denen somit die bevorzugte Ausführung der Erfindung implementiert ist, beschrieben. In diesem Beispiel enthält die integrierte Schaltung 2 eine Kerneinheit 4, die eine Sequenz von Befehlen oder bestimmte andere komplexe Logikoperationen vorzugsweise mit der schnellstmöglichen Taktfrequenz ausführt, um die Schaltungsleistung zu optimieren. Die integrierte Schaltung 2 enthält ferner eine Busschnittstelleneinheit 6, die mit (nicht gezeigten) Eingangs- und Ausgangsanschlüssen der integrierten Schaltung 2 in Verbindung steht und ferner mittels eines internen Busses IBUS mit der Kerneinheit 4 in Verbindung steht. Die Busschnittstelleneinheit 6 dient zum Empfangen von Eingangssignalen, die an Adressen- und Dateneingangsanschlüssen bereitgestellt werden, um die Operation der Kerneinheit 4 und anderer Funktionen in der integrierten Schaltung 2 zu steuern, und um ferner die Bereitstellung der Ausgangsdaten an den Ausgangsanschlüssen zu steuern; da die Zeitanforderungen der Busschnittstellenschaltung 6 durch die Eingabe/Ausgabe-Spezifikationen anderer integrierter Schaltungen im System bestimmt werden, können sie eine langsamere Taktfrequenz erfordern als diejenige, die für die Kerneinheit 4 verwendet werden können.

Um im folgenden darauf Bezug zu nehmen, sind bestimmte Eingangsanschlüsse der integrierten Schaltung in Fig. 4 über einen Bond-Draht W und eine Bond-Anschlußfläche BP verbunden gezeigt. Andere Eingänge und Ausgänge sind selbstverständlich in ähnlicher Weise verbunden, sind jedoch in Fig. 1 der Klarheit halber nicht gezeigt. Die Darstellung der Bond-Anschlußflächen BP in Fig. 1 wird offensichtlich in bezug auf die optionale Bond-Verdrahtung einer der Bond-Anschlußflächen BP, wie im folgenden beschrieben wird. Außerdem können herkömmliche Eingangspufferschaltungen ebenfalls innerhalb der integrierten Schaltung 2 in herkömmlicher Weise vorgesehen

sein; solche Puffer sind in Fig. 1 der Klarheit halber ebenfalls nicht gezeigt.

Im Beispiel der Fig. 1 kann die integrierte Schaltung  
5 2 so betrieben werden, daß sie ein Eingangstaktsignal am Anschluß CLKIN empfängt. Das Eingangstaktsignal kann ein extern erzeugter periodischer Takt sein, wie z. B. von einem externen Oszillator, oder alternativ kann das Eingangstaktsignal On-Chip auf der Grundlage eines Kristalls  
10 erzeugt werden, der mit dem Anschluß CLKIN verbunden ist und die Taktfrequenz bestimmt. Die Taktsteuerschaltung 8 liefert an die Kerneinheit (auf der Leitung CORECLK) ein internes Taktsignal mit derselben Frequenz wie das Eingangstaktsignal am Anschluß CLKIN und liefert an die Bus-  
15 schnittstelleneinheit 6 (auf der Leitung (BUSCLK) ein internes Taktsignal mit der halben Frequenz des am Anschluß CLKIN empfangenen Eingangstaktsignals. Das Taktsignal mit halber Frequenz wird vom Frequenzteiler 10 erzeugt und auf die Leitung BUSCLK gelegt; der in diesem Fall die  
20 Eingangstaktsignalfrequenz vor dem Bereitstellen auf der Leitung BUSCLK durch zwei dividiert.

Gemäß dieser Anordnung enthält die Taktsteuerschaltung 8 ferner einen Taktgenerator 12, der das Eingangstaktsignal vom Anschluß CLKIN an einem "Setz"-Eingang empfängt und das Eingangstaktsignal vom Anschluß  
25 CLKIN, verzögert durch die programmierbare Verzögerungsstufe 14, an einem "Rücksetz"-Eingang empfängt. Die programmierbare Verzögerungsstufe 14 in dieser Anordnung  
30 enthält einen Vorgabeverzögerungswert, der für den Normalbetrieb (Nicht-Test-Modus) freigegeben wird, der innerhalb der programmierbaren Verzögerungsstufe 14 durch das Metallisierungsmuster oder mittels schmelzbarer Verbindungen oder anderer programmierbarer Elemente (FAMOS-  
35 Transistoren usw.) implementiert ist. Außerdem empfängt die programmierbare Verzögerungsstufe 14 ein Testein-

- gangssignal vom Anschluß TEST und j Auswahlleitungen 15, von den ausgewählten Eingangsanschlüssen  $IN_0$  bis  $IN_n$ , so daß in einem speziellen Testmodus, der durch den am Anschluß TEST angelegten Logikzustand ausgewählt wird, die
- 5 j Auswahlleitungen 15, einen Abschnitt der Verzögerungsperiode durch die Verzögerungsstufe 14 auswählen können.

Die programmierbare Verzögerungsstufe 14 und der Taktgenerator 12 empfangen ferner jeweils ein Eingangssignal auf der Leitung 2XEN, das anzeigt, ob der Taktverdopplungsmodus freigegeben werden soll; wenn er freigegeben wird, veranlaßt der Taktverdopplungsmodus, daß die Kerneinheit-Taktfrequenz auf der Leitung CORECLK gleich dem Doppelten der Bustaktfrequenz auf der Leitung BUSCLK

10 ist. In diesem Beispiel wird die Auswahl des Taktverdopplungsmerkmals beim Bond-Verdrahtungsschritt des Herstellungsprozesses getroffen durch Verbinden der Bond-Anschlußfläche BP, die der Leitung 2XEN zugeordnet ist, mit dem  $V_{CC}$ -Stromversorgungsanschluß (der in diesem Beispiel

15 die Taktverdopplung freigibt) oder mit dem  $V_{SS}$ -Anschluß oder Masseanschluß (der die Taktverdopplung sperrt).

20

Wie im folgenden beschrieben wird, wird die Taktsteuerschaltung 8 gemäß dieser Anordnung gesteuert durch den Zustand der Leitung 2XEN, so daß das Taktsignal auf der

25 Leitung CORECLK entweder in einem Taktverdopplungsmodus oder in einem Nicht-Taktverdopplungsmodus erzeugt werden kann. Außerdem wird die Schnittstellenschaltung, die die Datenkommunikation auf dem internen Bus IBUS steuert, ebenfalls entsprechend dem Zustand der Leitung 2XEN gesteuert, so daß die Kommunikation zwischen der Kerneinheit 4 und der Busschnittstelleneinheit 6 entsprechend der ausgewählten internen Taktbeziehung durchgeführt werden kann. Es wird angenommen, daß die Konstruktion einer

30 solchen Schnittstellenschaltung für einen Fachmann mit Bezug auf diese Beschreibung offensichtlich ist.

35

Im allgemeinen Sinn arbeitet der Taktgenerator 12 im Taktverdopplungsmodus, um auf eine der Eingangstaktsignalflanken anzusprechen; zum Zweck dieser Beschreibung bezieht sich der Ausdruck "steigende Flanke" auf einen 5 Niedrigpegel-Hochpegel-Übergang für ein Signal, während sich der Ausdruck "fallende Flanke" auf einen Hochpegel-Niedrigpegel-Übergang bezieht. Im Beispiel der Fig. 1 setzt die steigende Flanke des Eingangstaktsignals den 10 Ausgang des Taktgenerators 12 (auf der Leitung CORECLK) auf einen Hochpegel. Der Taktgenerator 12 setzt seinen Ausgang auf der Leitung CORECLK als Reaktion auf das Empfangen der steigenden Flanke des Eingangstaktsignals, verzögert um die Zeitverzögerung, die innerhalb der programmierbaren Verzögerungsstufe 14 gesetzt ist, auf Niedrigpegel zurück. Die Verzögerungsperiode der programmierbaren Verzögerungsstufe 14 wird vorzugsweise so gewählt, daß sie die Zeitspanne etwas überschreitet, die für die ungünstigste Taktphase im Befehlssatz oder in den mögli- 20 chen Operationen der Kerneinheit 4 erforderlich ist. Somit verwendet der Taktgenerator 12 flankengetriggerte Setz- und Rücksetzfunktionen auf der Grundlage des Eingangstaktsignals und liefert ein internes Taktsignal auf der Leitung CORECLK, das dieselbe Frequenz besitzt wie 25 das Eingangstaktsignal am Anschluß CLKIN, mit einer festen Phasendauer, so daß Schwankungen des Tastverhältnisses des Eingangstaktsignals somit nicht das Tastverhältnis des internen Taktsignals auf der Leitung CORECLK beeinflussen. Die Verzögerungsperiode wird vorzugsweise 30 entsprechend der Laufzeit des ungünstigsten Logikpfades gewählt, so daß eine geeignete Operation der integrierten Schaltung 2 unabhängig vom Tastverhältnis des Eingangstaktsignals und somit über einen weiten Bereich von Tastverhältnis-Zeitspezifikationen sichergestellt wird.

35

Der Frequenzteiler 10 erzeugt ein Taktsignal auf der

Leitung BUSCLK, das die halbe Frequenz des Eingangstaktsignals am Anschluß CLKIN aufweist. Dementsprechend kann die Operation der Busschnittstelleneinheit 6 in einer Weise konsistent mit extern angeschlossenen integrierten Schaltungen gesteuert werden, wobei immer noch ermöglicht wird, daß die Operation der Kerneinheit 4 mit der höchsten anwendbaren Taktrate durchgeführt wird.

Mit Bezug auf Fig. 2 wird im folgenden die Konstruktion des Frequenzteilers 10 und des Taktgenerators 12 genauer beschrieben.

Der Frequenzteiler 10 in diesem Beispiel besitzt im wesentlichen eine herkömmliche Konfiguration und enthält eine Rücksetzfunktion, mit der sein Ausgang gesperrt werden kann. Die Leitung CLKIN steht mit dem Eingangstaktsignal (nach Pufferung, falls gewünscht) der Invertierer 13 und 17 in Verbindung, die komplementäre und wahre Taktsignale auf den Leitungen CLKc bzw. CLKt erzeugen. Jedes der Durchgangsgatter 24, 26 umfaßt komplementäre MOS-Transistoren, deren Source/Drain-Pfade parallel zueinander verbunden sind, und deren Gates mit den komplementären Leitungen CLKt, CLKc verbunden sind, so daß sie gleichzeitig eingeschaltet oder ausgeschaltet sind.

Die Leitung RST verbindet ein Rücksetzsignal von irgendwo in der integrierten Schaltung 2 mit einem Eingang des Nicht-UND-Gatters 22 im Frequenzteiler 10 und mit der Start/Stopp-Logik 30 im Taktgenerator 12. Die Leitung RST ist vorzugsweise innerhalb der integrierten Schaltung 2 in herkömmlicher Weise gepuffert, um falsche Rücksetzsignale aufgrund von Störungen zu beseitigen und eine geeignete Phasensynchronisierung nach einem Rücksetzvorgang sicherzustellen. Der zweite Eingang des Nicht-UND-Gatters 22 ist mit dem Ausgang des Frequenzteilers 10 auf der Leitung BUSCLK verbunden. Während der Nicht-Rücksetz-Modi

stellt der niedrige Logikpegel auf der Leitung RST einen hohen Logikpegel (über den Invertierer 21) für einen Eingang des Nicht-UND-Gatters 22 bereit, um zu ermöglichen, daß der Zustand der Leitung BUSCLK den Ausgang des Nicht-UND-Gatters 22 steuert.

Der Ausgang des Nicht-UND-Gatters 22 ist mit einer Seite des Durchlaßgatters 24 verbunden. Die andere Seite des Durchlaßgatters 24 wird vom Signalspeicher 28 empfangen und zu einer Seite des Durchlaßgatters 26 weitergeleitet (nach Invertierung durch den Invertierer 27, um die Invertierung durch den Signalspeicher 28 zu berücksichtigen). Der Signalspeicher 28 umfaßt in diesem Beispiel zwei kreuzgekoppelte Invertierer, wobei der Rückkopplungsinvertierer eine deutlich schwächere Ausgangsleistung besitzt als der vorwärts angeschlossene Invertierer, so daß er schnell überschrieben werden kann, wenn ein neuer Logikpegel an seinem Eingang empfangen wird; diese schwächere Ausgangsleistung ist in Fig. 2 durch einen Asterisk im Rückkopplungsinvertierer des Signalspeichers 28 (und in anderen Signalspeichern in den Fig. 2 und 3) gezeigt.

In diesem Beispiel kann das Durchlaßgatter 24 so betrieben werden, daß es den Zustand des Ausgangs des Nicht-UND-Gatters 22 während der Niedrigpegelphase des Eingangstaktsignals auf der Leitung CLKIN zum Signalspeicher 28 weiterleitet. Wenn somit die Leitung RST während dieser Phase auf Niedrigpegel liegt, wird das logische Komplement des Zustands der Leitung BUSCLK während der Niedrigpegelphasen des Eingangstaktsignals zum Signalspeicher 28 weitergeleitet. Nach Invertierung durch den Invertierer 27 wird der Zustand des Signalspeichers 28 zum Durchlaßgatter 26 weitergeleitet.

Das Durchlaßgatter 26 ist mit seiner anderen Seite

mit dem Signalspeicher 20 verbunden, der über den Invertierer 19 die Leitung BUSCLK ansteuert. In diesem Beispiel werden die Gatter des Durchlaßgatters 26 durch die Leitungen CLKt, CLKc in einer komplementären Weise bezüglich des Durchlaßgatters 24 gesteuert, so daß das Durchlaßgatters 26 während der Hochpegelphasen des Eingangstaktsignals auf der Leitung CLKIN leitend ist. Dementsprechend erfordert somit das Komplement des Zustands auf der Leitung BUSCLK sowohl eine Niedrigpegelphase als auch eine Hochpegelphase, um zum Signalspeicher 20 zurückgeführt zu werden für eine Bereitstellung (nach Invertierung durch den Invertierer 19) auf der Leitung BUSCLK als ein Logikpegelübergang für diesen Ausgangstakt. Die Frequenz, mit der die Leitung BUSCLK kippt, ist somit genau die Hälfte derjenigen des Eingangstaktsignals auf der Leitung CLKIN.

Wie oben beschrieben worden ist, kann dann, wenn die Leitung RST auf einem niedrigen Logikpegel liegt, das Nicht-UND-Gatter 22 so betrieben werden, daß es auf den Zustand der Leitung BUSCLK anspricht; im Gegensatz hierzu wird in einer Rücksetz- oder Sperroperation, in der die Leitung RST auf einem hohen Logikpegel liegt, der Ausgang des Nicht-UND-Gatters 22 auf Hochpegel gezwungen, unabhängig vom Zustand der Leitung BUSCLK. Dementsprechend wird der Zustand der Leitung BUSCLK während der Rücksetzbedingung auf Hochpegel gehalten.

Die Start/Stop-Logik empfängt die Leitung RST (über den Invertierer 21), die Leitung BUSCLK sowie die Start- und Stoppsignale auf den Leitungen STRT bzw. STP. Die Start/Stop-Logik 30 enthält eine Kombinationslogik, falls erforderlich, um den Taktgenerator 12 entsprechend der Rücksetzbedingung auf der Leitung RST und entsprechend den Start- und Stopp-Signalen freizugeben und zu sperren. Die Start- und Stopp-Signale erlauben das Sper-



ren des Ausgangstaktsignals auf der Leitung CORECLK, wie im folgenden beschrieben wird.

Das Eingangstaktsignal auf der Leitung CLKIN wird einem invertierenden Eingang eines Nicht-UND-Gatters 34 und einem nicht-invertierenden Eingang eines Nicht-UND-Gatters 36 zugeführt. Der zweite Eingang des Nicht-UND-Gatters 34 empfängt die Leitung 2XEN, die die Taktverdopplung mit einem hohen Logikpegel freigibt. Der Ausgang des Nicht-UND-Gatters 34 wird über eine invertierende Verzögerungsstufe 35 dem zweiten Eingang des Nicht-UND-Gatters 36 zugeführt. Die Verzögerungsstufe 35 kann mehrere Invertierer in Serie umfassen, eine herkömmliche einzelne Verzögerungsstufe umfassen oder andere herkömmliche Verzögerungsschaltungen umfassen, um die Fortpflanzung des Signals vom Ausgang des Nicht-UND-Gatters 34 zum Eingang des Nicht-UND-Gatters 36 für eine ausgewählte Zeitspanne zu verzögern. Als Ergebnis stellt das Nicht-UND-Gatter 36 einen logischen Niedrigpegelimpuls als Reaktion auf die steigende Flanke des Eingangstaktsignals auf der Leitung CLKIN mit einer Impulsbreite bereit, die der Laufzeit eines Nicht-UND-Gatters 34 und der Verzögerungsstufe 35 entspricht. Der Ausgang des Nicht-UND-Gatters 36 ist mit dem Gate eines p-Kanal-Transistors 38 verbunden, dessen Source-Drain-Pfad zwischen  $V_{CC}$  und dem Eingang des Signalspeichers 40 angeschlossen ist; der Ausgang des Signalspeichers 40 steuert die Leitung CORECLK über den Invertierer 41 an.

Das Eingangstaktsignal auf der Leitung CLKIN ist ferner mit der festen Verzögerungsstufe 14f und der veränderlichen Verzögerungsstufe 14v verbunden, die in Serie geschaltet sind. In diesem Beispiel, wie im folgenden genauer beschrieben wird, empfängt die veränderliche Verzögerungsstufe 14v Eingangssignale auf der Leitung TEST und auf j Auswahlleitungen 15j, wie in Fig. 1 gezeigt ist.

Der Ausgang der veränderlichen Verzögerungsstufe 14v auf der Leitung CLKDELAY ist mit einem nicht-invertierenden Eingang des Nicht-UND-Gatters 46 und mit einem invertierenden Eingang des Nicht-UND-Gatters 44 verbunden. Der  
5 zweite Eingang des Nicht-UND-Gatters 44 empfängt die Leitung 2XEN. Wie im obenbeschriebenen Fall ist der Ausgang des Nicht-UND-Gatters 44 mit einem zweiten Eingang des Nicht-UND-Gatters 46 über die invertierende Verzögerungsstufe 45 verbunden. Als Ergebnis stellt der Ausgang des  
10 Nicht-UND-Gatters 46 einen logischen Niedrigpegelimpuls als Reaktion auf die steigende Flanke des Signals auf der Leitung CLKDELAY von der veränderlichen Verzögerungsstufe 14v mit einer Impulsbreite bereit, die durch die Verzögerung durch das Nicht-UND-Gatter 44 und die Verzögerungsstufe 45 definiert wird. Der Ausgang des Nicht-UND-Gatters 46 wird nach Invertierung durch den Invertierer 47 dem Gate eines n-Kanal-Transistors 42 zugeführt, dessen Source-Drain-Pfad zwischen dem Eingang des Signalspeichers 40 und Masse angeschlossen ist.

20

Das Nicht-UND-Gatter 46 empfängt ferner einen Eingang vom Ausgang der Start/Stopp-Logik 30, was ermöglicht, daß das Rücksetzsignal auf der Leitung RST und die Start- und Stoppsignale auf den Leitungen STRT und STP die Operation  
25 des Taktgenerators 12 im Taktverdopplungsmodus steuern. Wenn z. B. die Start/Stopp-Logik 30 ein logisches Niedrigpegelsignal an seinem Ausgang ausgibt, wird der Ausgang des Nicht-UND-Gatters 46 auf Hochpegel gezwungen, was sicherstellt, daß der n-Kanal-Transistor 42 nicht  
30 einschaltet. In einem solchen Fall kann der Signalspeicher 40 nicht mit einem Niedrigpegel überschrieben werden, wodurch die Übergänge des Taktsignals auf der Leitung CORECLK gesperrt werden.

35

Die Leitung 2XEN ist ferner mit einem invertierenden Eingang eines Nicht-UND-Gatters 50 verbunden, das das

Eingangstaktsignal auf der Leitung CLKIN an seinem anderen Eingang empfängt. Der Ausgang des Nicht-UND-Gatters 50 ist mit einem Durchgangsgatter 48 in komplementärer Weise (über einen Invertierer 49) verbunden; somit wird  
5 das Durchgangsgatter 48 nichtleitend, wenn während des Taktverdopplungsmodus die Leitung 2XEN auf Hochpegel liegt.

Der Taktgenerator 12 gemäß diesem Beispiel kann ferner ein Taktsignal mit halber Frequenz auf der Leitung  
10 CORECLK während des Nicht-Taktverdopplungsmodus liefern, was dadurch angezeigt wird, daß die Leitung 2XEN auf einem logischen Niedrigpegel liegt. Das Nicht-UND-Gatter 32 empfängt den Ausgang des Signalspeichers 28 im Frequenz-  
15 teiler 10 an einem Eingang und den Ausgang der Start/Stopp-Logik 30 am anderen Eingang. Die Start/Stopp-Logik 30 kann somit das Anlegen des Ausgangs des Signalspeichers 28 an den Frequenzteilerabschnitt des Taktgenerators 12 steuern, wie es z. B. beim Sperren seiner Ope-  
20 ration nützlich ist (wie in dem Fall, in dem die Leitung RST für den Frequenzteiler 10 auf Hochpegel liegt), und kann ihn in synchroner Weise erneut starten.

Der Ausgang des Nicht-UND-Gatters 32 wird einer Seite  
25 des Durchgangsgatters 48 zugeführt. Die gegenüberliegende Seite des Durchgangsgatters 48 ist mit dem Eingang des Signalspeichers 40 verbunden. Unter Berücksichtigung der Wirkung des Nicht-UND-Gatters 50 und des Invertierers 49 empfängt der n-Kanal-Transistor im Durchgangsgatter 48  
30 ein Signal, das dem Eingangstaktsignal auf der Leitung CLKIN entspricht, während der p-Kanal-Transistor im Durchgangsgatter 48 ein Signal empfängt, das dem logischen Komplement des Eingangstaktsignals auf der Leitung CLKIN entspricht; somit wird das Durchgangsgatter 48 in  
35 ähnlicher Weise gesteuert wie das Durchgangsgatter 26 im Frequenzteiler 10. Als Ergebnis ist im Nicht-Taktverdopp-

lungsmodus der Taktgenerator 12 ähnlich konfiguriert wie der Frequenzteiler 10 (wobei die zwei Schaltungen den ersten Abschnitt des Nicht-UND-Gatters 22, des Durchgangsgatters 24 und des Signalspeichers 28 gemeinsam nutzen),  
5 um einen Takt mit halber Frequenz auf der Leitung CORECLK zu erzeugen. In diesem Modus sind daher die Frequenzen der Taktsignale auf den Leitungen CORECLK und BUSCLK identisch.

10 Fig. 4a zeigt die Operation des Taktgenerators 12 in einem Taktverdopplungsmodus, der ausgewählt wird durch Setzen der Leitung 2XEN auf einen logischen Hochpegel. Der Klarheit der Beschreibung halber sind in Fig. 4a kleine Laufzeiten und Ladungsübergänge nicht gezeigt. In  
15 diesem Modus veranlaßt eine steigende Flanke auf der Leitung CLKIN zuerst den Ausgang eines Nicht-UND-Gatters 36 (Knoten S in Fig. 4a), auf einen logischen Niedrigpegel zu wechseln. Dieser logische Niedrigpegel am Ausgang des Nicht-UND-Gatters 36 dauert an, bis die steigende Flanke  
20 sich durch das Nicht-UND-Gatter 34 und die Verzögerungsstufe 35 fortpflanzt; diese Laufzeit ist in Fig. 4a als  $\delta_{35}$  gezeigt und definiert die Impulsbreite des logischen Niedrigpegels am Knoten S. Als Reaktion auf den Niedrigpegel am Knoten S schaltet der Transistor 38 ein, wodurch  
25 der Eingang des Signalspeichers 40 auf Hochpegel geladen wird, der über den Invertierer 41 die Leitung CORECLK auf Hochpegel steuert. Dementsprechend bewirkt im Taktverdopplungsmodus die steigende Flanke des Eingangstaktsignals das Setzen des Ausgangs der Taktgeneratorschaltung  
30 12 auf der Leitung CORECLK.

Die steigende Flanke des Eingangstaktsignals auf der Leitung CLKIN pflanzt sich ferner durch die Verzögerungsstufen 14f, 14v fort, so daß sie auf der Leitung CLKDELAY  
35 nach der Verzögerungsperiode  $\delta_{14}$  erscheint (d. h. nach der Laufzeit durch die Verzögerungsstufen 14f, 14v). Da

zu diesem Zeitpunkt die steigende Flanke des Eingangstaktsignals auf der Leitung CLKDELAY erscheint, wechselt der Ausgang des Nicht-UND-Gatters 46 auf einen logischen Niedrigpegel (die anderen Eingänge des Nicht-UND-Gatters 46 liegen auf Hochpegel). Der logische Niedrigpegel am Ausgang des Nicht-UND-Gatters 46 steuert über den Invertierer 47 das Gate eines n-Kanal-Transistors 42 (Knoten R der Fig. 2 und 4a) auf Hochpegel, was den Transistor 42 einschaltet und den Eingang des Signalspeichers 40 auf Masse entlädt. Der Signalspeicher 40 und der Invertierer 41 steuern ihrerseits die Leitung CORECLK auf Niedrigpegel als Reaktion auf das Einschalten des Transistors 42. Dementsprechend bewirkt die steigende Flanke des Signals auf der Leitung CLKDELAY das Zurücksetzen des Ausgangs des Taktgenerators 12 auf der Leitung CORECLK auf einen Niedrigpegel, seit dem Hochpegelübergang um die Verzögerungszeit  $\delta_{14}$  der programmierbaren Verzögerungsstufe 14 verzögert.

Für Fachleute sollte klar sein, daß die Dauer der Impulsbreite des logischen Niedrigpegelimpulses am Knoten S (d. h. die Verzögerungszeit  $\delta_{35}$ ) und die Dauer des logischen Hochpegelimpulses am Knoten R (d. h. die Verzögerungszeit  $\delta_{45}$ ) so gewählt werden sollten, daß sichergestellt ist, daß der Eingang des Signalspeichers 40 in jedem Zyklus vollständig aufgeladen bzw. entladen wird. Diese Verzögerungen sollen jedoch ferner so gewählt werden, daß verhindert wird, daß die Setz- und Rücksetzimpulse überlappen, da dies eine Brechstangenbedingung (d. h. einen direkten Kurzschluß von  $V_{CC}$  nach Masse) über die Transistoren 38 und 42 hervorrufen würde.

Als Ergebnis der Operation des Taktgenerators 12 wird ein Taktsignal auf der Leitung CORECLK erzeugt, das dieselbe Frequenz wie das Eingangstaktsignal aufweist, jedoch ein Tastverhältnis unabhängig von demjenigen des

Eingangstaktsignals besitzt. Dies liegt daran, daß die Dauer einer der Phasen des Taktes auf der Leitung CORECLK von der Zeitspanne zwischen den Setz- und Rücksetzimpulsen abhängt (in diesem Beispiel bei Niedrig- bzw. Hochpegeln). Gemäß dieser Anordnung hängt die Zeitspanne zwischen den Setz- und Rücksetzimpulsen nur von der Verzögerungsperiode  $\delta_{14}$  durch die programmierbare Verzögerungseinrichtung 14 (d. h. durch die Verzögerungsstufen 14f, 14v) ab und hängt nicht vom Tastverhältnis des Eingangstaktsignals auf der Leitung CLKIN ab. Tatsächlich sollte in diesem Beispiel der Fig. 4a beachtet werden, daß die Dauer der Hochpegelphase auf der Leitung CORECLK größer ist als diejenige des Eingangstaktsignals auf der Leitung CLKIN. Wie im folgenden genauer beschrieben wird, ermöglicht dies, daß das Tastverhältnis des internen Hochfrequenztaktes auf der Leitung CORECLK für die ungünstigste Phase optimiert wird, statt für einen Mittelwert, der vom Eingangstaktsignal abhängt.

Diese Unabhängigkeit des Tastverhältnisses des Taktsignals auf der Leitung CORECLK wird ferner deutlich anhand der späteren Zyklen (nach dem Zeitpunkt  $t_2$ ), wie in Fig. 4a gezeigt. In diesen Zyklen wird das Tastverhältnis des Eingangstaktsignals auf der Leitung CLKIN nach dem Zeitpunkt  $t_2$  um ungefähr die Hälfte der gewünschten Dauer auf der Leitung CORECLK kürzer als in den in Fig. 4a gezeigten vorangehenden Zyklen. Wie bei den vorherigen Zyklen ruft jedoch die steigende Flanke des Signals auf der Leitung CLKIN einen logischen Niedrigpegelimpuls am Knoten S hervor, der seinerseits die Leitung CORECLK auf Hochpegel steuert. Nach Verstreichen der Verzögerungsperiode  $\delta_{14}$  nach dieser Flanke liefert die Leitung CLKDELAY eine steigende Flanke, die bewirkt, daß der Knoten R auf Hochpegel gesteuert wird und die Leitung CORECLK auf Niedrigpegel gesteuert wird. Als Ergebnis bleibt das Tastverhältnis des Taktsignals auf der Leitung CORECLK

konstant, wie durch die Verzögerungszeit  $\delta_{14}$  der programmierbaren Verzögerungsstufe 14 bestimmt, und ist somit unabhängig vom Tastverhältnis des Eingangstaktsignals auf der Leitung CLKIN.

5

Diese Konstruktion des Taktgenerators 12 bietet somit einen hohen Grad an Stabilität bei der Erzeugung eines internen Hochfrequenztaktes auf der Grundlage eines empfangenen Hochfrequenz-Eingangstaktsignals. Insbesondere wenn die Mikroprozessortaktfrequenzen auf 25 MHz und darüber ansteigen, werden die Erzeugung und die Bereitstellung externer Taktsignale mit hoher Qualität und Stabilität schwieriger, insbesondere bei Betrachtung des Überschwingens und anderer Störeffekte, die mit höheren Schaltgeschwindigkeiten stärker hervortreten. Da der Taktgenerator 12 seine Taktsignale auf der Grundlage der Flanken des Eingangstaktsignals und auf der Grundlage interner Verzögerungen erzeugt, ist das Taktsignal auf der Leitung CORECLK nicht stark durch Störungen und andere Instabilitäten im Eingangstaktsignal beeinflusst.

Mit Bezug auf Fig. 4b wird im folgenden die Operation des Taktgenerators 12 im Nicht-Taktverdopplungsmodus beschrieben, der durch eine auf logischem Niedrigpegel liegende Leitung 2XEN angezeigt wird. Wenn die Leitung 2XEN auf logischem Niedrigpegel liegt, werden die Ausgänge der Nicht-UND-Gatter 34 und 44 beide auf Hochpegel gezwungen, was die Transistoren 38 und 42 beide veranlaßt, in diesem Modus im ausgeschalteten Zustand gehalten zu werden. Der logische Niedrigpegel auf der Leitung 2XEN ermöglicht ferner dem Nicht-UND-Gatter 50, auf das Eingangstaktsignal auf der Leitung CLKIN anzusprechen, so daß das Durchgangsgatter 48 komplementäre Steuersignale empfängt, die der Leitung CLKIN zugeordnet sind.

35

Die in Fig. 4b gezeigten Zyklen beginnen mit dem An-

fangszustand der Leitung BUSCLK (und somit des Knotens IN20 am Eingang des Signalspeichers 20) auf einem logischen Hochpegel, und der Leitung CORECLK (und somit des Knotens IN40 am Eingang des Signalspeichers 40) auf einem logischen Hochpegel. Nach der fallenden Flanke auf der Leitung CLKIN (was einer steigenden Flanke auf der Leitung CLKc und einer fallenden Flanke auf der Leitung CLKd entspricht) wird das Durchgangsgatter 24 leitend, leitet den Zustand der Leitung BUSCLK, durch das Nicht-UND-Gatter 22 invertiert, als einen logischen Niedrigpegel zum Knoten IN28 am Eingang des Signalspeichers 28 weiter. Dieser logische Niedrigpegel wird ferner über das Nicht-UND-Gatter 32 (der Ausgang der Start/Stopp-Logik 30 liegt auf Hochpegel, um die Operation freizugeben) als ein Niedrigpegel (vom Signalspeicher 28 und dem Nicht-UND-Gatter 32 zweimal invertiert) an den Knoten IN48 am Eingang des Durchgangsgatters 48 weitergeleitet. Die Durchgangsgatter 26 und 48 sind während dieser Phase des Eingangstaktsignals nichtleitend, da sie in komplementärer Weise bezüglich des Durchgangsgatters 24 gesteuert werden.

Nach der steigenden Flanke des Eingangstaktsignals werden die Durchgangsgatter 26 und 48 leitend und das Durchgangsgatter 24 schaltet ab. Der Signalspeicher 28 hält seinen logischen Niedrigpegeleingang zu diesem Zeitpunkt aufgrund der Operation seines Rückkopplungsinvertierers. Bei leitendem Durchgangsgatter 26 wird der Zustand des Knotens IN28 (nach Invertierung durch den Signalspeicher 28 und durch den Invertierer 27) an den Knoten IN20 am Eingang des Signalspeichers 20 weitergeleitet, wodurch ein logischer Niedrigpegel auf der Leitung BUSCLK bereitgestellt wird. In ähnlicher Weise wird bei leitendem Durchgangsgatter 48 der logische Niedrigpegel am Knoten IN48 zum Eingang des Signalspeichers 40 (Knoten IN40) weitergeleitet und auf der Leitung CORECLK bereit-



gestellt.

Diese Operation des Frequenzteilers 10 und des Takt-  
generators 12 im Nicht-Taktverdopplungsmodus dauert an,  
5 wobei der wechselnde Zustand der Leitung BUSCLK über das  
Nicht-UND-Gatter 22 in den Frequenzteiler 10 zurückge-  
führt wird. Als Ergebnis sind in diesem Modus die Fre-  
quenzen der Signale auf den Leitungen BUSCLK und CORECLK  
gleich und entsprechen der halben Frequenz der Eingangs-  
10 taktsignalfrequenz auf der Leitung CLKIN.

Wie oben mit Bezug auf Fig. 4a erläutert worden ist,  
sind die Laufzeiten durch diese Schaltung in Fig. 4b der  
Klarheit der Beschreibung halber nicht gezeigt. Für Sta-  
15 bilitätszwecke jedoch kann es vorgezogen werden, Verzöge-  
rungsstufen wie z. B. Invertiererketten an bestimmten  
Stellen in der Schaltung einzusetzen, wodurch sicherge-  
stellt wird, daß ein logischer Übergang nicht am Eingang  
eines Durchgangsgatters zum selben Zeitpunkt auftritt,  
20 zum dem das Durchgangsgatter abschaltet. Zum Beispiel  
kann der Invertierer 27 durch eine Serie von Invertierern  
mit einer gewünschten Laufzeit durch diese ersetzt wer-  
den.

Außerdem kann der Taktgenerator 12 leicht konfigu-  
riert werden, um ein komplementäres Taktsignal zum Signal  
auf der Leitung CORECLK zu liefern, in dem z. B. eine  
ähnliche Schaltung wie diejenige des Signalspeichers 40  
und der Transistoren 38, 42, 48 vorgesehen wird, die je-  
30 doch in komplementärer Weise arbeitet. Es wird angenom-  
men, daß andere Taktsignale aus den in Fig. 2 gezeigten  
Signalen erzeugt werden können durch Hinzufügen einer  
solchen elementaren Logik, was für Fachleute mit Bezug  
auf diese Beschreibung offensichtlich ist.

35

Gemäß dieser Anordnung bietet die Fähigkeit der Takt-

steuerschaltung 8 zum selektiven Betreiben in entweder dem Taktverdopplungsmodus oder dem Nicht-Taktverdopplungsmodus in Abhängigkeit vom Zustand der Leitung 2XEN erhebliche Vorteile im Entwurf und im Betrieb der integrierten Schaltung 2 gegenüber dem Stand der Technik. Gemäß früheren Techniken hat ein Steuersignal für gewisse integrierte Schaltungsfunktionen (wie z. B. die Kerneinheit und die Busschnittstelleneinheit) ausgewählt, welches der Taktsignale ihre Operation steuern soll; die funktionale Schaltung hat somit notwendiger Weise eine relativ komplexe Schaltung erfordert, um diese Fähigkeit des Ansprechens auf ein ausgewähltes Taktsignal zu implementieren, wobei eine solche Schaltung notwendigerweise den kritischsten Zeitsteuerungspfad der internen Hochfrequenztakte beeinflußt hat. In dieser Anordnung jedoch erlaubt die Fähigkeit der Taktsteuerschaltung 8 zum Erzeugen von Ausgangstaktsignalen in einen gewählten Modus der funktionalen Schaltung, wie z. B. der Kerneinheit 4, so konfiguriert zu sein, daß sie nur auf ein einzelnes internes Taktsignal ansprechen muß, da die Bestimmung der Kerntaktfrequenz von der Taktsteuerschaltung 8 durchgeführt wird.

Wie oben erwähnt worden ist, wird die Auswahl, welcher Taktmodus verwendet wird, in diesem Beispiel durch die Bond-Verdrahtung der Anschlußfläche 2XEN mit einer Stromversorgungs- oder Masseanschlußfläche getroffen. Dieses Verfahren der Auswahl des Taktmodus ist besonders vorteilhaft für den Hersteller, da nur ein einzelner Typ von integrierter Schaltung 2 hergestellt werden muß, um Einrichtungen für beide Typen von Produkten (Taktverdopplung oder nicht) bereitzustellen, da die Auswahl des Betriebsmodus nicht bei der anfänglichen Wafer-Herstellungstufe getroffen werden muß, sondern statt dessen bei der Kapselungsoperation bestimmt wird. Ferner muß der Benutzer der integrierten Schaltung 2 keine Vor-

kehrungen treffen, wie z. B. das externe Verbinden eines Anschlusses mit Hochpegel oder Niedrigpegel, um die geeignete gewünschte Betriebsart zu erhalten.

5 Wie im Taktverdopplungsmodus der Fig. 4a gezeigt, erzeugt der Taktgenerator 12 somit ein internes Taktsignal mit einem Tastverhältnis, das von einer Verzögerungszeit  $\delta_{14}$  durch die programmierbare Verzögerungsstufe 14 abhängt. In modernen hochkomplexen integrierten Schaltungen wie z. B. Mikroprozessoren und mathematischen Coprozessoren steuert eine der zwei Taktphasen den ungünstigsten Logikfortpflanzungspfad, so daß die Dauer der ungünstigsten Phase beim Betrieb der Schaltung kritisch ist (d. h. wenn die Dauer dieser ungünstigsten Taktphase zu kurz ist, funktioniert die Schaltung nicht richtig). Wie in Fig. 2 gezeigt, enthält eine programmierbare Verzögerungsstufe 14 eine feste Verzögerungsstufe 14f und eine veränderliche Verzögerungsstufe 14v, so daß die Verzögerungszeit  $\delta_{14}$  und somit die Dauer der ungünstigsten Taktphase entweder während der Charakterisierung, während des Produktionstests oder im Betrieb gesetzt oder geändert werden kann.

Beim Setzen der Verzögerungszeit  $\delta_{14}$  sollte der Schaltungsentwickler anhand der Modellierung oder einer anderen Charakterisierung den ungünstigsten Hochgeschwindigkeits-Logikpfad in der Kerneinheit 4 für einen möglichen Befehl oder eine logische Operation berücksichtigen und zu der für diesen ungünstigsten Pfad ( $t_d$ ) benötigten Zeitspanne eine gewisse Sicherheitsspielraum-Zeitspanne ( $t_m$ ) addieren, um eine minimale Taktphasendauer ( $t_h = t_d + t_m$ ) zu erhalten, die der Verzögerungszeit  $\delta_{14}$  entspricht. Um eine Übereinstimmung über den vollen Spezifikationsbereich der Schaltung sicherzustellen, ist das Verhältnis  $t_d/t_h$  vorzugsweise über die Spannung, die Temperatur und die Verarbeitungsbedingungen im wesentlichen

konstant. Genauer ist erwünscht, daß integrierte Schaltungen wie z. B. Mikroprozessoren, mathematische Coprozessoren und dergleichen, fähig sind, über einen weiten Spannungsbereich zu arbeiten, der nicht nur herkömmliche Pegel der  $V_{CC}$ -Stromversorgungsspannung (wie z. B. 5 V Nennspannung) enthält, sondern auch die niedrigeren  $V_{CC}$ -Pegel (z. B. 3,3 V Nennspannung), von denen erwartet wird, daß sie für moderne integrierte Schaltungen mit physikalischen Sub-Mikrometer-Merkmalen erforderlich sind.

Im folgenden wird mit Bezug auf Fig. 3 eine bevorzugte Konstruktion der programmierbaren Verzögerungsstufe 14 beschrieben. Diese Konstruktion der programmierbaren Verzögerungsstufe 14 enthält solche Merkmale, wie z. B. zum Schaffen einer Verzögerungszeit  $\delta_{14}$ , die an Schwankungen in der Spannung, in der Temperatur und in der Verarbeitung angepaßt sind, die die minimale Taktphasendauer  $t_h$  beeinflussen, und zum Schaffen der Möglichkeit zum leichten Ändern der Verzögerungszeit  $\delta_{14}$ , falls erforderlich.

Die feste Verzögerungsstufe 14f empfängt das Eingangstaktsignal auf der Leitung CLKIN über das Durchlaßgatter 59, das in komplementärer Weise durch das Signal auf der Leitung 2XEN gesteuert wird. Im Nicht-Taktverdopplungsmodus (da das Taktsignal auf der Leitung CLKDELAY nicht verwendet wird; siehe Fig. 3 und 4b) ist mit der Leitung 2XEN auf Niedrigpegel das Durchlaßgatter 59 nichtleitend; während des Taktverdopplungsmodus bleibt das Durchlaßgatter 59 leitend. Die feste Verzögerungsstufe 14f enthält gemäß der bevorzugten Konstruktion mehrere Verzögerungselemente unterschiedlicher Logiktypen, die entsprechend der ungünstigsten Laufzeit in der Kerneinheit 4 oder anderswo in der Schaltung 2 ausgewählt werden. Die Verwendung der mehreren Typen von Verzöger-

rungselementen statt vieler Verzögerungselemente dessel-  
 ben Typs (z. B. einer Kette von Invertierern) schafft ei-  
 nen hohen Grad an Übereinstimmung der Verzögerung durch  
 die feste Verzögerungsstufe 14f mit den Schwankungen des  
 5 ungünstigsten Logikpfades, die aus Änderungen der Tempe-  
 ratur, der Verarbeitung und der Vorspannung resultieren,  
 so daß Schwankungen in der Laufzeit unter verschiedenen  
 Typen von Schaltungselementen als Funktion der Spannung,  
 der Temperatur und der Verarbeitungsparameter berücksich-  
 10 tigt werden. In dieser bevorzugten Konstruktion enthält  
 die feste Verzögerungsstufe 14f einen Signalspeicher 52,  
 einen Invertierer 53, ein Nicht-ODER-Gatter 54 (bei dem  
 ein weiterer Eingang auf Masse gezogen wird), ein 3-Ein-  
 gang-Nicht-UND-Gatter 55 (von dem die zwei anderen Ein-  
 15 gänge auf Hochpegel gezogen sind), ein 2-Eingang-Nicht-  
 UND-Gatter 56 (dessen anderer Eingang auf Hochpegel gezo-  
 gen ist), ein Durchlaßgatter 57 (eingeschaltet) und die  
 Kondensatoren 58a, 58b, die jeweils auf  $V_{CC}$  bzw. Masse  
 vorgespannt sind. Die Kondensatoren 58a, 58b stellen pa-  
 20 rasitäre Kapazitäten in der Kerneinheit 4 dar und können  
 als separate Kondensatoren in der festen Verzögerungs-  
 stufe 14f oder mittels der parasitären Kapazitäten in  
 dieser Stufe implementiert sein. Obwohl in Fig. 3 ein  
 Verzögerungselement jedes Typs gezeigt ist, kann die fe-  
 25 ste Verzögerungsstufe 14f mehrere dieser Elemente enthal-  
 ten, mehrere Ketten von Elementen oder andere solche Ele-  
 mente und Kombinationen, um z. B. den ungünstigsten Lauf-  
 zeitpfad in der Kerneinheit 4 nachzuahmen.

30 Die veränderliche Verzögerungsstufe 14v empfängt ge-  
 maß dieser bevorzugten Konstruktion den Ausgang der fe-  
 sten Verzögerungsstufe 14f und fügt ein wählbares Maß an  
 Verzögerung hinzu, bevor das Ergebnis an seinem Ausgang  
 auf der Leitung CLKDELAY bereitgestellt wird. Die verän-  
 35 derliche Verzögerungsstufe 14v kann in dieser bevorzugten  
 Konstruktion verschiedene Verzögerungen in einem speziel-

len Testmodus wählen, wobei eine Vorgabeverzögerung mittels der Metallmaskenoptionen gesetzt ist. Wie aus der folgenden Beschreibung deutlich wird, kann außerdem die Auswahl der Verzögerung durch die veränderliche Verzögerungsstufe 14v in im wesentlichen gleichen Inkrementen mittels eines Binärcodes bewerkstelligt werden, was eine große Flexibilität in der Auswahl der Gesamtverzögerungszeit  $\delta_{14}$  erlaubt.

10 In diesem Beispiel enthält die veränderliche Verzögerungsstufe 14v vier individuell wählbare Verzögerungspfade. Der höchstwertige Verzögerungspfad ist ein Satz von vier Invertiererpaaren 60, die vom Multiplexer 64<sub>3</sub> ausgewählt werden können. In ähnlicher Weise ist der  
15 nächst-höchstwertige Verzögerungspfad mit zwei Invertiererpaaren 60 durch den Multiplexer 64<sub>2</sub> wählbar; der nächst-höchstwertige Verzögerungspfad mit einem Invertiererpaar 60 ist durch den Multiplexer 64<sub>1</sub> wählbar. Jedes der Invertiererpaare 60 besitzt vorzugsweise dieselbe  
20 Durchgangslaufzeit (z. B. die Verzögerung  $\delta'$ ). Der niedrigstwertige Verzögerungspfad wird implementiert durch Verbinden des Kondensators 61 über das Durchlaßgatter 62, was eine kapazitive Last hinzufügt, die vorzugsweise mit der Hälfte der Verzögerung  $\delta'$  eines Invertiererpaars  
25 60 oder der Laufzeit eines einzelnen Invertierers übereinstimmt. Dementsprechend kann die Verzögerungszeit durch die veränderliche Verzögerungsstufe 14v in binärer Weise gewählt werden, da die vier wählbaren Pfade in binärer Weise gewichtet sind (nämlich  $2^3$ ,  $2^2$ ,  $2^1$  bzw.  $2^0$  Invertierer).  
30

Die Multiplexer 64 (und das Durchlaßgatter 62) veranlassen den Serienpfad des Taktsignals von der festen Verzögerungsstufe 14f entweder, durch die zugehörigen Verzögerungselemente zu laufen, oder direkt zur nächsten Stufe zu laufen, ohne verzögert zu werden, als Reaktion auf den

daran angelegten Steuereingang von den Multiplexern 70<sub>3</sub>  
 bis 70<sub>0</sub>. Jeder der Multiplexer 64<sub>3</sub>, 64<sub>2</sub>, 64<sub>1</sub> kann wie in  
 Fig. 3 für den Multiplexer 64<sub>3</sub> gezeigt konstruiert sein.  
 In diesem Beispiel ist der Source-Drain-Pfad des Durch-  
 gangsgatters 66 zwischen dem ankommenden Taktsignal und  
 dem Eingang der nächsten Stufe angeschlossen, während das  
 Durchgangsgatter 68 mit seinem Source-Drain-Pfad zwischen  
 dem Ausgang des letzten Verzögerungselements 60 und dem  
 Eingang in die nächste Stufe angeschlossen ist. Die  
 5 Durchgangsgatter 66, 68 in jedem Multiplexer 64 sind in  
 komplementärer Weise gesteuert durch das Steuersignal von  
 dessen zugehörigem Multiplexer 70 über die Invertierer  
 65, 67, so daß einer eingeschaltet ist, während der an-  
 dere ausgeschaltet ist. Somit steuert der Ausgang des  
 10 Multiplexers 70, ob die verzögerte Version oder die nicht  
 verzögerte Version des ankommenden Taktsignals von der  
 festen Verzögerungsstufe 14f (oder vom vorherigen Multi-  
 plexer 64) an den Eingang der nächsten Stufe in der ver-  
 änderlichen Verzögerungsstufe 14v angelegt wird. Die  
 15 niedrigstwertige Verzögerungsstufe des Kondensators 61  
 wird ausgewählt durch die Kombination eines Durchlaßgat-  
 ters 62, dessen Source-Drain-Pfad zwischen dem Kondensa-  
 tor 61 und der Leitung CLKDELAY angeschlossen ist und  
 dessen Gates in komplementärer Weise durch den Ausgang  
 20 des Multiplexers 70<sub>0</sub> gesteuert werden.

Die Multiplexer 70 wählen zwischen dem Wert eines  
 Testsignaleingangs auf einer zugehörigen Auswahlleitung  
 15 oder einem Vorgabewert aus, im Austausch mit dem Mul-  
 tiplexer 64 (oder dem Durchgangsgatter 62), ob dessen zu-  
 gehöriger Verzögerungswert eingeschlossen werden soll;  
 die Multiplexer 70 werden durch ein Signal gesteuert, das  
 anzeigt, ob ein Testmodus freigegeben ist. Ein Vorgabe-  
 wert wird jedem Multiplexer 70 mittels eines zugehörigen  
 30 weichen Invertierers 77 bereitgestellt, dessen beide Ein-  
 gänge und dessen Ausgang auf eine feste Spannung gezogen

sind. Fig. 3 zeigt z. B. die Eingänge und Ausgänge jedes Invertierers 77 auf  $V_{CC}$  gezogen, wobei in diesem Fall die Invertierer 77 jeweils eine Hochpegelspannung an ihrem Ausgang ausgeben. Dieser Zustand jedes Invertierers 77 kann geändert werden durch Öffnen der Verbindung zwischen seinem Ausgang und der festen Spannung mittels einer Metallmaske, einer Schmelzverbindung, eines Laserschnitts oder dergleichen, wodurch dem Invertierer 77 erlaubt wird, seinen Ausgang in den entgegengesetzten Zustand zu steuern. Bei der Alternative kann die Vorgabebedingung durch ein elektrisch programmierbares Element, ein Registerbit, mittels Software oder mittels anderer herkömmlicher Techniken gesetzt werden.

Jeder Multiplexer 70 empfängt in diesem Beispiel eine Auswahlleitung 15 an einem Eingang, den Ausgang des Invertierers 77 an einem weiteren Eingang und den Ausgang des Nicht-UND-Gatters 72 als Steuereingang. Das Nicht-UND-Gatter 72 empfängt die Leitung 2XEN an einem Eingang und die Leitung TEST an seinem anderen Eingang. Der Ausgang des Nicht-UND-Gatters 72 ist mit den Gates eines ersten Durchlaßgatters 74 in komplementärer Weise (über den Invertierer 73) verbunden, sowie mit den Gates eines zweiten Durchlaßgatters 76 in komplementärer Weise zu seiner Verbindung zum Durchlaßgatter 74 verbunden; somit wird entweder das Durchgangsgatter 74 oder das Durchgangsgatter 76 leitend, in Abhängigkeit vom Zustand des Ausgangs des Nicht-UND-Gatters 72. Der Ausgang des Nicht-UND-Gatters 22 wird ferner direkt in den Steuereingang des nächsten Multiplexers 70 in der Leitung eingegeben. Mit dem Ausgang des Nicht-UND-Gatters 72 auf Niedrigpegel wird das Durchgangsgatter 74 leitend und verbindet die Auswahlleitung 15 mit dem Steuereingang des Multiplexers 64 (oder mit dem Durchgangsgatter 62 im Fall des Multiplexers 70<sub>0</sub>); ein Hochpegelausgang des Nicht-UND-Gatters 72 macht das Durchgangsgatter 76 leitend, das den Ausgang



des Invertierers 77 mit dem Steuereingang des Multiplexers 64 (oder dem Durchgangsgatter 62 im Fall des Multiplexers 70<sub>0</sub>) verbindet.

5 In Betrieb werden im Nicht-Taktverdopplungsmodus (Leitung 2XEN auf Niedrigpegel) die Ausgänge der Invertierer 77 von allen Multiplexern 70 ausgewählt, wodurch der Vorgabeverzögerungswert bereitgestellt wird und metastabile oder unbestimmte Zustände in der veränderlichen  
10 Verzögerungsstufe 14v verhindert werden. Im Taktverdopplungsmodus steuert der Zustand der Leitung TEST (am anderen Eingang des Nicht-UND-Gatters 72) die Multiplexer 70. In einem Nicht-Test-Modus oder Normalbetriebsmodus bestimmt der Ausgang der Matrix der Invertierer 77 die von  
15 der veränderlichen Verzögerungsstufe 14v bereitgestellte Verzögerung, die von keiner Verzögerung bis zur Laufzeitverzögerung von 15 Invertierern reicht und die in Inkrementen eines einzelnen Invertierers (d. h. eines Kondensators 61) in binärer Weise mittels der vier Invertierer  
20 77 gewählt werden kann.

Im Testmodus bestimmt der Zustand der Auswahlleitungen 15 die Verzögerung durch die veränderliche Verzögerungsstufe 14v in binärer Weise mittels des Zustands der  
25 vier Auswahlleitungen 15j. Der Testmodus kann durch irgendeine der bekannten Techniken im Stand der Technik der integrierten Schaltungen freigegeben werden, einschließlich dem Vorsehen eines dedizierten Testmodusanschlusses oder einer Anschlußfläche, einer Überspannungsbedingung  
30 an einem der normalen Eingangsanschlüsse für die Schaltung, einem speziellen Code, der von der Schaltung 2 ausgeführt wird, oder anderer bekannter Techniken. Mit der Leitung TEST auf Hochpegel sind die Durchgangsgatter 74 in den Multiplexern 70 alle eingeschaltet, wodurch der  
35 Zustand der Auswahlleitungen 15 die veränderliche Verzögerungslänge bestimmen kann. In diesem Modus kann die

Schaltung 2 mit veränderlichen Verzögerungszeiten  $\delta_{14}$  betrieben werden, um die kürzeste Verzögerungszeit  $\delta_{14}$  zu ermitteln und somit die minimale Taktphasendauer ( $t_h$ ), mit der die Schaltung 2 noch zufriedenstellend unter einer gegebenen Spannungs- oder Temperaturbedingung arbeiten kann.

Es wird angenommen, daß das Vorsehen der veränderlichen Verzögerungsstufe 14v und ihre Verwendung während eines Testmodus in erster Linie für die Herstellungs- und Entwicklungsingenieure einer bestimmten integrierten Schaltung 2 vorteilhaft sind. Dies liegt daran, daß anfängliche Prototypen-Probestücke im Testmodus charakterisiert werden können, um eine minimale, gerade noch sichere Verzögerungszeit  $\delta_{14}$  zum Verändern der Betriebsbedingungen und Funktionen zu ermitteln, so daß die Auswahl eines geeigneten Vorgabewertes ermöglicht wird durch Öffnen geeigneter Leitungen am Ausgang der Invertierer 77 in der veränderlichen Verzögerungsstufe 14v. Ferner kann die Verwendung des Testmodus eine periodische Messung der minimalen Verzögerungszeit  $\delta_{14}$  erlauben, wenn die Schaltung 2 hergestellt wird, und somit mit der Zeit die Modifikation der Metallisierungsmaske, die die Zustände der Invertierer 77 setzt.

Die Konstruktion der veränderlichen Verzögerungsstufe 14v kann ferner bei Bedarf verwendet werden, um den Zustand des Invertierers 77 für jede Funktionsschaltung individuell zu setzen, z. B. durch Öffnen einer Polysiliziumschmelzverbindung am Ausgang jedes Invertierers 77 mittels eines Lasers oder einer Lawinenbedingung. Ferner kann bei der Alternative der Hersteller der Schaltung die geeignete Metallmaske im Prozeß auf der Grundlage der Schwellenspannungen, der Kanallängen und anderer meßbarer Parameter während der Herstellung der Schaltung 2 auswählen. Selbstverständlich können die Multiplexer 70 alter-

nativ auf einen Registerort ansprechen, so daß die Laufzeit durch die veränderliche Verzögerungsstufe 14v durch Software gesetzt werden kann.

- 5 Als Ergebnis der vorangehenden Lehre hängt somit die Dauer der ungünstigsten Taktphase von einem festen Wert ab, von genau übereinstimmenden Veränderungen der Spannung, der Temperatur und der Verarbeitung, plus einer veränderlichen Größe, die leicht gewählt werden kann.
- 10 Dementsprechend kann die Erzeugung eines internen Hochfrequenztaktes (der doppelten Bustaktfrequenz), der aus einem externen Eingangstaktsignal erzeugt wird, das ein instabiles Tastverhältnis aufweisen kann, und auch die Fähigkeit zum Abstimmen und Auswählen des Tastverhältnisses
- 15 des internen Taktes erreicht werden, um somit die Veränderungen der Temperatur- und Verarbeitungsbedingungen auszugleichen. Genauer kann der so erzeugte interne Takt ausreichend stabil gegenüber Änderungen der Stromversorgungsspannungen sein, so daß die Entwicklung und
- 20 die Herstellung von hochkomplexen Hochgeschwindigkeits-Logikschaltungen, wie z. B. Mikroprozessoren, mathematische Coprozessoren und dergleichen, möglich wird, die sowohl bei herkömmlichen Stromversorgungsspannungen (5 Volt) sowie bei niedrigen Stromversorgungsspannungen
- 25 (3,3 Volt) betrieben werden können.

- Die obenbeschriebene Anordnung ist auf ein internes Taktverteilungssystem gerichtet, das einen Takt mit halber Frequenz für Busschnittstellenoperationen (Leitung
- 30 BUSCLK) und einen Hochgeschwindigkeitstakt für Kerneinheitsoperationen (Leitung CORECLK) erzeugt, der dieselbe Frequenz wie das Eingangstaktsignal aufweist. Selbstverständlich können durch Einschließen herkömmlicher Frequenzmultiplizierer und anderer Frequenzsynthesizerschaltungen
- 35 interne Taktsignale mit höheren oder niedrigeren Frequenzen als diejenige des Eingangstaktsignals erzeugt

werden. Es wird angenommen, daß ein Fachmann mit Bezug auf diese Beschreibung und die Zeichnungen leicht fähig ist, die Vorteile der vorangehenden Lehre in solchen Anwendungen zu nutzen.

5

In Fig. 5 ist eine weitere Taktgeneratorschaltung in Blockform dargestellt, in der ein internes Taktsignal auf der Leitung CORECLK mit der doppelten Frequenz des Eingangstaktsignals erzeugt wird. In dieser Ausführungsform wird das Eingangstaktsignal auf der Leitung CLKIN zur Flankendetektorschaltung 80 weitergeleitet, die eine steigende Flanke an ihrem Ausgang erzeugt, um den Eingang eines Taktgenerators 112 als Reaktion auf entweder eine steigende oder eine fallende Flanke auf der Leitung CLKIN zu setzen. Die Leitung CLKIN ist ferner mit einer programmierbaren Verzögerungsstufe 114 verbunden, die in ähnlicher Weise wie die obenbeschriebene programmierbare Verzögerungsstufe 14 konstruiert ist. Der Ausgang der programmierbaren Verzögerungsstufe 114 auf der Leitung CLKDELAY ist mit dem Flankendetektor 82 verbunden, der entweder eine steigende oder eine fallende Flanke an seinem Eingang erfaßt und eine steigende Flanke an seinem Ausgang als Reaktion auf entweder eine steigende oder eine fallende Flanke auf der Leitung CLKDELAY erzeugt. Der Ausgang des Flankendetektors 82 ist mit dem Rücksetz-Eingang des Taktgenerators 112 verbunden. Der Taktgenerator 112 ist ähnlich konstruiert wie die obenbeschriebene Taktgeneratorschaltung 12.

30

Im Betrieb wird jeder Übergang des Eingangstaktsignals auf der Leitung CLKIN vom Flankendetektor 80 erfaßt, der einen Impuls an den Setz-Eingang des Taktgenerators 12 anlegt und in diesem Fall den Q-Ausgang des Taktgenerators 12 auf der Leitung CORECLK auf Hochpegel steuert. Nach Verstreichen der Verzögerungsperiode  $\delta_{114}$  erscheint der Eingangstaktübergang auf der Leitung CLKDELAY und

35

wird vom Flankendetektor 82 erfaßt, der seinerseits einen Impuls an den Rücksetz-Eingang der Taktgeneratorschaltung 112 anlegt. Das Rücksetzsignal steuert die Leitung CORECLK am Q-Ausgang der Taktgeneratorschaltung 112 auf  
 5 einen logischen Niedrigpegel. Da jeder Übergang (steigend oder fallend) sowohl einen Setzimpuls als auch einen Rücksetzimpuls hervorruft, die an den Taktgenerator 112 angelegt werden, ist somit die Frequenz am Ausgang des Taktgenerators 112 gleich dem Doppelten der Frequenz des  
 10 Eingangstaktsignals.

Mit Bezug auf Fig. 6 wird im folgenden die Konstruktion einer Taktmultipliziereranordnung beschrieben. In der Anordnung der Fig. 6 ist die Taktfrequenz auf der  
 15 Leitung CORECLK erneut ein Vielfaches derjenigen auf der Leitung CLKIN; in diesem Beispiel wird die Frequenz verdoppelt. Die Leitung CLKIN wird vom Steigungsflankendetektor 84 empfangen, der ähnlich konstruiert ist wie die Nicht-UND-Gatter 34, 36 und die Verzögerungsstufe 35 in  
 20 dem in Fig. 2 gezeigten Taktgenerator, um einen Impuls als Reaktion auf eine steigende Flanke des Signals auf der Leitung CLKIN zu erzeugen; im Gegensatz zur Anordnung der Fig. 5 wird vom Steigungsflankendetektor 84 kein Impuls als Reaktion auf eine fallende Flanke auf der Lei-  
 25 tung CLKIN erzeugt. Der Ausgang des Steigungsflankendetektors 84 ist mit einem ersten Eingang eines ODER-Gatters 92 verbunden.

Die Leitung CLKIN ist ferner mit einer Serie von Verzögerungsstufen 214, 216, 218 verbunden, die jeweils eine  
 30 separate Verzögerungsperiode aufweisen (obwohl eine oder mehrere dieselbe Verzögerungsperiode aufweisen können, falls erwünscht). Die Verzögerungsstufen 214, 216, 218 enthalten vorzugsweise feste und veränderliche Ab-  
 35 schnitte, wie oben mit Bezug auf die programmierbare Verzögerungsstufe 14 beschrieben worden ist. Der Ausgang der

Verzögerungsstufe 214 ist mit dem Steigungsflankendetektor 86 verbunden, dessen Ausgang wiederum mit einem Eingang des ODER-Gatters 94 verbunden ist. Der Ausgang der Verzögerungsstufe 216 ist mit dem Steigungsflankendetektor 88 verbunden, dessen Ausgang mit einem zweiten Eingang des ODER-Gatters 92 verbunden ist. In ähnlicher Weise ist der Ausgang der Verzögerungsstufe 218 mit dem Eingang des Steigungsflankendetektors 90 verbunden, dessen Ausgang mit einem zweiten Eingang des ODER-Gatters 94 verbunden ist.

Das ODER-Gatter 92 steuert den Setz-Eingang des Taktgenerators 212 mit seinem Ausgang an, während das ODER-Gatter 94 den Rücksetz-Eingang des Taktgenerators 212 mit seinem Ausgang ansteuert. Der Taktgenerator 212 kann ähnlich konstruiert sein wie die Taktgeneratoren 12 und 112, die oben beschrieben worden sind. Somit stellt der Taktgenerator 12 einen logischen Hochpegel an seinem Q-Ausgang auf der Leitung CORECLK als Reaktion auf einen Impuls an seinem Setz-Eingang bereit und setzt seinen Q-Ausgang auf einen logischen Niedrigpegel zurück als Reaktion auf einen Impuls an seinem Rücksetz-Eingang.

Gemäß der Anordnung der Fig. 6 weist somit das Taktsignal auf der Leitung CORECLK die doppelte Frequenz des Eingangstaktsignals auf der Leitung CLKIN auf, wobei die Verzögerungsperioden  $\delta_{214}$ ,  $\delta_{216}$ ,  $\delta_{218}$  die Dauer der drei aufeinanderfolgenden Phasen in zwei Zyklen bestimmen; die vierte Phase im zweiten Zyklus wird bestimmt durch die Differenz zwischen der Periode des Eingangstaktsignals auf der Leitung CLKIN und die Summe der Verzögerungsperioden  $\delta_{214}$ ,  $\delta_{216}$ ,  $\delta_{218}$ . Mit Bezug auf Fig. 7 wird im folgenden die Operation der Anordnung der Fig. 6 beschrieben. Wie in den obigen Fällen sind der Klarheit halber kleine Laufzeiten nicht gezeigt.

In Fig. 7 wird die steigende Flanke auf der Leitung CLKIN vom Steigungsflankendetektor 84 erfaßt, der einen Hochpegelimpuls/ (OUT<sub>84</sub> in Fig. 7) an einen Eingang eines ODER-Gatters 92 und somit an den Setz-Eingang des Taktgenerators 212 anlegt. Diese steigende Flanke der Leitung CLKIN leitet somit eine steigende Flanke des Taktsignals auf der Leitung CORECLK ein. Nach Verstreichen der Verzögerungsperiode  $\delta_{214}$  seit der steigenden Flanke auf der Leitung CLKIN wird eine steigende Flanke dem Steigungsflankendetektor 86 zugeführt, der einen Hochpegel (OUT<sub>86</sub>) an das ODER-Gatter 94 und somit an den Rücksetz-Eingang des Taktgenerators 212 ausgibt. Dieser Impuls vom ODER-Gatter 94 veranlaßt den Taktgenerator 212, seinen Q-Ausgang zurückzusetzen. Als Ergebnis wird die Hochpegelphase des ersten Zyklus des Taktsignals auf der Leitung CORECLK durch die Verzögerungsperiode  $\delta_{214}$  bestimmt.

Die steigende Flanke auf der Leitung CLKIN läuft als nächstes durch die Verzögerungsstufe 216, die nach der Verzögerungszeit  $\delta_{216}$  eine steigende Flanke an den Steigungsflankendetektor 88 ausgibt. Ein Impuls (siehe OUT<sub>88</sub>) wird anschließend an das ODER-Gatter 92 ausgegeben, um wiederum den Taktgenerator 212 zu veranlassen, an seinem Q-Ausgang auf der Leitung CORECLK einen Hochpegel auszugeben. Somit definiert die Verzögerungszeit  $\delta_{216}$  die Dauer der Niedrigpegelphase des ersten Zyklus des Taktsignals auf der Leitung CORECLK.

Die steigende Flanke durchläuft als nächstes die Verzögerungsstufe 218, was bewirkt, daß eine steigende Flanke nach einer zusätzlichen Verzögerungszeit  $\delta_{218}$  an den Steigungsflankendetektor 90 ausgegeben wird. Der Steigungsflankendetektor 90 liefert anschließend einen Impuls (siehe OUT<sub>90</sub>) an das ODER-Gatter 94 und sendet einen Impuls zum Rücksetz-Eingang des Taktgenerators 212, der die Leitung CORECLK auf einen logischen Niedrigpegel

zurücksetzt. Somit wird die Dauer der Hochpegelphase des zweiten Zyklus des Taktsignals auf der Leitung CORECLK durch die Verzögerungszeit  $\delta_{218}$  definiert.

5        Der Q-Ausgang des Taktgenerators 212 auf der Leitung  
CORECLK bleibt auf einem logischen Niedrigpegel, bis die  
nächste steigende Flanke des Eingangstaktsignals auf der  
Leitung CLKIN empfangen wird. Somit müssen die Verzöge-  
rungszeiten  $\delta_{214}$ ,  $\delta_{216}$  und  $\delta_{218}$  selbstverständlich so ge-  
10       wählt werden, daß ihre Summe die Periode des Eingangs-  
taktsignals nicht übersteigt, da eine solche Situation zu  
einem instabilen Takt auf der Leitung CORECLK führen  
würde. Die Dauer der zweiten Niedrigphase des Ausgangs-  
taktsignals auf der Leitung CORECLK wird somit definiert  
15       durch die Differenz der Periode des Eingangstaktsignals  
minus der Summe der Verzögerungszeiten  $\delta_{214}$ ,  $\delta_{216}$ ,  $\delta_{218}$ ;  
diese Dauer ist in Fig. 7 mit der Zeitspanne  $t_{LO}$  gezeigt.

Die Anordnung der Fig. 6 sorgt somit für eine stabile  
20       Frequenzmultiplikation, unabhängig von der Phasendauer  
oder dem Tastverhältnis des Eingangstaktsignals, da die  
Phasendauern durch die Verzögerungszeiten in der Takt-  
steuerschaltung definiert werden. Somit kann sich das  
Tastverhältnis des Eingangstaktes verändern, ohne das  
25       Tastverhältnis des Ausgangstaktsignals zu beeinflussen,  
insbesondere da die fallende Flanke des Eingangstaktsig-  
nals bei der Erzeugung des Ausgangstaktsignals nicht ver-  
wendet wird und diese nicht beeinflußt. Außerdem können  
die Verzögerungszeiten so gewählt werden, daß abwech-  
30       selnde Ausgangstaktperioden unterschiedliche Phasendauern  
haben können. Ferner kann die Multiplikation der Ein-  
gangstaktfrequenz auf andere ganzzahlige Vielfache (drei  
und mehr) leicht implementiert werden, indem lediglich  
zusätzliche Verzögerungsstufen in ähnlicher Weise gesta-  
35       pelt werden, solange die Summe der Verzögerungszeiten  
kleiner ist als die Periode des Eingangstaktsignals.



Die oben mit Bezug auf die Fig. 5 und 6 beschriebenen Anordnungen können selbstverständlich in Verbindung mit dem Frequenzteiler 10 oder einem anderen solchen Taktgenerator oder Frequenzsynthesizerschaltungen bei Bedarf verwendet werden. Außerdem können diese alternativen Anordnungen ferner ähnlich konstruiert sein wie die oben mit Bezug auf Fig. 2 beschriebenen, in bezug auf den Zustand der Leitung 2XEN oder eines anderen Steuersignals, so daß der Taktverdopplungsmodus wahlweise freigegeben oder gesperrt werden kann.

Die Fig. 8 und 9 zeigen eine Taktmultipliziererschaltung gemäß einer Ausführungsform der Erfindung. In der Anordnung der Fig. 8 wird die Frequenz des Taktsignals auf der Leitung CORECLK ausgehend von derjenigen auf der Leitung CLKIN vervielfacht. In dieser Ausführungsform wird die Frequenz von CLKIN unter Verwendung nur zweier Verzögerungsstufen 314a-b und dreier aktiver Flankendetektoren 96a-c verdoppelt. Zum Zweck der Darstellung werden die aktiven Flankendetektoren 96a-c als Steigungsflankendetektoren angenommen. CLKIN wird vom Steigungsflankendetektor 96a empfangen, dessen Ausgang mit dem ODER-Gatter 98 verbunden ist. Ein Taktgenerator, der in Fig. 8 als ein SR-(Setz-Rücksetz)-Flip-Flop 312a gezeigt ist, ist mit seinem Setz-Eingang mit dem Ausgang des ODER-Gatters 98 verbunden. Das in Fig. 8 gezeigte SR-Flip-Flop gibt einen logischen Hochpegel aus, nachdem sein Setz-Eingang (S) auf Hochpegel gesetzt worden ist, und behält den logischen Hochpegel, bis der Rücksetz-Eingang in (R) auf Hochpegel gesetzt wird. Nachdem der Rücksetz-Eingang auf Hochpegel gesetzt worden ist, gibt das SR-Flip-Flop einen logischen Niedrigpegel aus, bis der Setz-Eingang auf Hochpegel gesetzt wird. Der Q-Ausgang des Flip-Flops 312a ist das CORECLK-Signal. Dieses Signal wird an die Verzögerungsstufe 314a weitergeleitet, die

ähnlich konstruiert ist, wie die obenbeschriebene programmierbare Verzögerungsstufe 14. Der Ausgang der Verzögerungsstufe 314a ist mit dem Steigungsflankendetektor 96b verbunden. Der Ausgang des Steigungsflankendetektors 96b ist mit dem Rücksetz-Eingang des Flip-Flops 312a und mit einem Eingang des UND-Gatters 100 verbunden. Der Ausgang des Steigungsflankendetektors 96a ist ferner mit dem Setz-Eingang des SR-Flip-Flops 312 verbunden. Der Q-Ausgang des SR-Flip-Flops 312 (das Signal "FIRST\_CYCLE") ist mit dem anderen Eingang des UND-Gatters 100 verbunden. Der Ausgang des UND-Gatters 100 ist mit dem Setz-Eingang des SR-Flip-Flops 312c verbunden. Der Q-Ausgang des SR-Flip-Flops 312c umfaßt das Signal "FIRST\_PH2", das in die Verzögerungsstufe 314b eingegeben wird. Der Ausgang der Verzögerungsstufe 314b wird in den Steigungsflankendetektor 96c eingegeben. Der Ausgang des Steigungsflankendetektors 96c ist mit den Rücksetz-Eingängen der SR-Flip-Flops 312b und 312c sowie mit dem zweiten Eingang des ODER-Gatters 98 verbunden.

Die Operation der Schaltung der Fig. 8 wird am besten in Verbindung mit dem Zeitablaufdiagramm der Fig. 9 beschrieben. Nach dem Empfangen einer aktiven (in diesem Fall steigenden) Flanke des Signals CLKIN gibt der Flankendetektor 96a einen Impuls an einen Eingang des ODER-Gatters 98 aus, wodurch dessen Ausgang auf Hochpegel gesteuert wird. Dies veranlaßt den Q-Ausgang des SR-Flip-Flops 312a auf Hochpegel zu wechseln, so daß das Signal CORECLK auf Hochpegel gesteuert wird. Der vom Steigungsflankendetektor 96a erzeugte Impuls steuert ferner den Setz-Eingang des SR-Flip-Flops 312b an, wodurch das Signal FIRST\_CYCLE auf Hochpegel wechselt. Der Übergang von Niedrigpegel nach Hochpegel von CORECLK wird durch die Verzögerungsstufe 314a (um eine Zeitperiode von  $\delta_{314a}$ ) verzögert und anschließend vom Steigungsflankendetektor 96b erfaßt. Als Reaktion auf das Empfangen der verzöger-

ten steigenden Flanke von CORECLK gibt der Steigungsflankendetektor 96b einen Impuls an den Rücksetz-Eingang des SR-Flip-Flops 312a und an das UND-Gatter 100 aus. Als Reaktion auf diesen Impuls steuert das SR-Flip-Flop CORECLK auf Niedrigpegel. Nach Empfangen des Impulses vom Flankendetektor 96b gibt das UND-Gatter 100 einen Hochpegelimpuls an den Setz-Eingang des SR-Flip-Flops 312c aus, wodurch das Signal FIRST\_PH2 auf Hochpegel gesteuert wird. Das Signal FIRST\_PH2 wird von der Verzögerungsstufe 314b verzögert. Anschließend wird der Übergang von Niedrigpegel nach Hochpegel von FIRST\_PH2 vom Steigungsflankendetektor 96c erfaßt. Als Reaktion hierauf gibt der Flankendetektor 96c einen Impuls an die Rücksetz-Eingänge des SR-Flip-Flops 312b und 312c und an das ODER-Gatter 98 aus. Anschließend wird das Signal CORECLK auf Hochpegel gesteuert, das Signal FIRST\_CYCLE auf Niedrigpegel gesteuert und das Signal FIRST\_PH2 auf Niedrigpegel gesteuert. Der Niedrig-Hoch-Übergang von CORECLK wird durch die Verzögerungsstufe 314a verzögert und vom Flankendetektor 96b erfaßt. Der Flankendetektor 96b veranlaßt wiederum das SR-Flip-Flop 312a, CORECLK auf Niedrigpegel zu steuern. Da das Signal FIRST\_CYCLE auf Niedrigpegel liegt, beeinflußt der vom UND-Gatter 100 empfangene Impuls vom Steigungsflankendetektor 96b nicht das SR-Flip-Flop 312c. Die Schaltung verharrt in diesem Zustand mit CORECLK in einem logischen Niedrigpegelzustand, FIRST\_CYCLE in einem logischen Niedrigpegelzustand und FIRST\_PH2 in einem logischen Niedrigpegelzustand, bis die nächste aktive Flanke vom CLKIN-Signal empfangen wird.

30

Diese Ausführungsform der vorliegenden Erfindung liefert im wesentlichen dasselbe Ausgangssignal wie die Schaltung der Fig. 6, mit deutlich weniger Schaltungsaufwand. Das SR-Flip-Flop 312b zählt bis "1" und sperrt anschließend das SR-Flip-Flop 312c, so daß es keine zusätzlichen Takte erzeugt. Die in Fig. 8 gezeigte Schaltung

35

kann erweitert werden, so daß sie zusätzliche Takte als Reaktion auf eine aktive CLKIN-Flanke erzeugt durch Setzen des Signals FIRST\_CYCLE auf "0" nach dem Zählen einer vorgegebenen Anzahl von Taktübergängen.

5

Die Fig. 10 und 11 zeigen eine weitere Ausführungsform der vorliegenden Erfindung, bei der das Eingangstaktsignal CLKIN mit einem Faktor n multipliziert werden kann, der in einem Register gespeichert ist oder in der Schaltung fest verdrahtet ist. In der Schaltung der Fig. 10 werden nur zwei Verzögerungsstufen 414a-b und drei Flankendetektoren 102a-c verwendet, unabhängig vom Wert von n. Das Signal CLKIN wird in den Flankendetektor 102a eingegeben, dessen Ausgang von einem Eingang des ODER-Gatters 104 empfangen wird. Der Ausgang des Flankendetektors 102a ist ferner mit dem Rücksetz-Eingang des Zählers 106 verbunden. Der Ausgang des ODER-Gatters 104 ist mit dem Setz-Eingang des SR-Flip-Flops 412 verbunden, dessen Q-Ausgang das Signal CORECLK umfaßt. Das Signal CORECLK wird in die Verzögerungsstufe 414a eingegeben, dessen Ausgang mit dem Eingang des Flankendetektors 102b verbunden ist. Der Ausgang des Flankendetektors 102b ist mit dem Rücksetz-Eingang des SR-Flip-Flops 412 und mit dem Inkrement-Eingang des Zählers 106 verbunden. Der Q-Ausgang des SR-Flip-Flops 412 wird von der Verzögerungsschaltung 414b empfangen, deren Ausgang mit dem Flankendetektor 102c verbunden ist. Der Ausgang des Flankendetektors 102c ist mit einem Eingang eines UND-Gatters 105 verbunden. Der Ausgang des UND-Gatters 105 ist mit dem anderen Eingang des ODER-Gatters 104 verbunden. Der Ausgang des Zählers 106 ist mit einem Eingang des Komparators 107 verbunden. Der Wert n, der fest verdrahtet oder in einem Register gespeichert sein kann, wird dem anderen Eingang des Komparators 107 zugeführt. Wenn der Wert des Ausgangs des Zählers 106 gleich dem Wert n ist, geht der Ausgang des Komparators 107, d. h. das "Übereinstimmung"-

Signal, auf Hochpegel über. Dieses Übereinstimmungssignal wird an einen invertierenden Eingang eines UND-Gatters 105 weitergeleitet.

5 Die Operation der Schaltung der Fig. 10 wird im folgenden unter Verwendung von  $n = 3$  beschrieben. Eine aktive Flanke des Signals CLKIN veranlaßt den Flankendetektor 102a, einen Impuls zu erzeugen, der den Zähler 106 zurücksetzt und den Setz-Eingang des SR-Flip-Flops 412 auf Hochpegel steuert, wodurch ein Niedrig-Hoch-Übergang des Signals CORECLK hervorgerufen wird. Nach dem Zurücksetzen gibt der Zähler 106 eine Zahl gleich 0 aus, wodurch das Übereinstimmungssignal auf Niedrigpegel gesteuert wird (sofern nicht  $n = 0$  gilt, was eine unzulässige Einstellung für die Schaltung wäre). Der Niedrig-Hoch-Übergang von CORECLK wird in den Flankendetektor 102b nach einer Verzögerung durch die Verzögerungsschaltung 414a eingegeben. Nach der Erfassung durch den Flankendetektor 102b wird ein Impuls an den Rücksetz-Eingang des SR-Flip-Flops 412 und an den Inkrementeingang des Zählers 106 ausgegeben. Dieser Impuls veranlaßt somit CORECLK, das auf Niedrigpegel gesteuert ist, auf Hochpegel zu wechseln, wobei der Zähler 106 um "1" inkrementiert wird. Der Niedrig-Hoch-Übergang von CORECLK wird vom Flankendetektor 102c nach einer durch die Verzögerungsstufe 414b hervorgerufenen Verzögerung erfaßt. Als Reaktion hierauf gibt der Flankendetektor 102c einen Impuls an das UND-Gatter 105 aus. Da das Übereinstimmungssignal auf Niedrigpegel liegt, durchläuft dieser Impuls das UND-Gatter 105. Der vom UND-Gatter 105 ausgegebene Impuls durchläuft das ODER-Gatter 104 bis zum Setz-Eingang des SR-Flip-Flops 412. Folglich wird CORECLK auf Hochpegel gesteuert. Wie vorher beschrieben worden ist, wird der Niedrig-Hoch-Übergang von CORECLK durch die Verzögerungsstufe 414a verzögert und vom Flankendetektor 102b erfaßt, der einen Impuls ausgibt, um CORECLK auf Niedrigpegel zu steuern

und den Zähler 106 zu inkrementieren. Da der Ausgang des Zählers 106 nun gleich "2" ist, verharret das Übereinstimmungssignal auf Niedrigpegel, wobei die Erfassung durch den Flankendetektor 102c des verzögerten Niedrig-Hoch-Übergangs von CORECLK den Ausgang des UND-Gatters 105 auf Hochpegel steuert, wodurch ein Niedrig-Hoch-Übergang von CORECLK hervorgerufen wird. Der Niedrig-Hoch-Übergang von CORECLK wird durch die Verzögerungsstufe 414a verzögert und vom Flankendetektor 102b erfaßt, der CORECLK auf Niedrigpegel steuert und den Zähler 106 auf eine Zahl "3" inkrementiert. Ein Zählerwert von "3" bewirkt eine Übereinstimmung im Komparator 107, wodurch das Übereinstimmungssignal auf Hochpegel gesteuert wird. Ein Hochpegel-Übereinstimmungssignal steuert den Ausgang des UND-Gatters 105 auf Niedrigpegel, unabhängig vom Ausgang des Flankendetektors 102c. Der nächste Impuls vom Flankendetektor 102c, der durch den Niedrig-Hoch-Übergang von CORECLK veranlaßt wird, wird somit vom UND-Gatter 105 blockiert. Folglich bleibt das Signal CORECLK in einem Niedrigpegelzustand, bis zur nächsten aktiven Flanke des Signals CLKIN.

Wie gezeigt, ist die Anzahl der Taktzyklen, die vom SR-Flip-Flop 412 als Reaktion auf jede aktive Flanke des Signals CLKIN erzeugt wird, abhängig vom Wert von n. Die von der Verzögerungsstufe 414a hervorgerufene Verzögerung setzt die Zeitspanne der logischen Hochpegelphase dieses CORECLK. Die von der Verzögerungsstufe 414b erzeugte Verzögerung setzt die Zeitspanne der logischen Niedrigpegelphase von CORECLK mit Ausnahme des letzten logischen Niedrigpegelzustands, der nicht durch die Verzögerungsstufe 414b bestimmt wird, sondern statt dessen durch das Auftreten der nächsten aktiven Flanke des Signals CLKIN.

Die Fig. 12 und 13 zeigen eine Taktmultiplikationsschaltung, die eine einzelne Verzögerungsstufe 514 zum

Multiplizieren eines Eingangstaktes mit einem Faktor  $n$  verwendet. Diese Schaltung arbeitet ähnlich wie die Schaltung der Fig. 10, mit der Ausnahme, daß die Verzögerungsstufe 414 die Zeitspannen sowohl für die logischen Hoch- als auch die logischen Niedrigpegel des Ausgangs CORECLK setzt. Im Betrieb erfaßt der Flankendetektor 108a die aktive Flanke des Signals CLKIN. Als Reaktion auf die Erfassung einer aktiven Flanke gibt 108a einen Impuls an das ODER-Gatter 104 aus, das den Setz-Eingang des SR-Flip-Flops 512 auf Hochpegel steuert, wodurch das Signal CORECLK auf Hochpegel gesteuert wird. Der Impuls setzt ferner den Zähler 106 zurück. Ein Niedrig-Hoch-Übergang von CORECLK wird durch die Verzögerungsstufe 514 verzögert und in den Fallflankendetektor 108b und den Steigungsflankendetektor 108c eingegeben. Als Reaktion auf den Niedrig-Hoch-Übergang von CORECLK gibt der Flankendetektor 108c einen Impuls an den Inkrementzähler 106 aus und steuert den Rücksetz-Eingang des SR-Flip-Flops 512 auf Hochpegel, wodurch CORECLK auf Niedrigpegel gesteuert wird. Das vom Komparator 107 ausgegebene Übereinstimmungssignal verharret auf Niedrigpegel, bis der vom Zähler 106 ausgegebene Wert dem Wert  $n$  am Eingang des Komparators 107 gleicht. Der Hoch-Niedrig-Übergang von CORECLK wird vom Fallflankendetektor 108b nach der von der Verzögerungsstufe 514 veranlaßten Verzögerung erfaßt. Als Reaktion auf das Erfassen des Hoch-Niedrig-Übergangs von CORECLK gibt der Flankendetektor 108b einen Impuls an das UND-Gatter 105 aus. Während das Übereinstimmungssignal auf Niedrigpegel liegt, erzeugt ein Impuls vom Flankendetektor 108b einen ähnlichen Impuls am Ausgang des UND-Gatters 105, der den Setz-Eingang des SR-Flip-Flops 512 auf Hochpegel steuert, wodurch ein Niedrig-Hoch-Übergang des Signals CORECLK hervorgerufen wird.

Somit erfaßt der Fallflankendetektor 108b einen Hoch-Niedrig-Übergang von CORECLK nach einer durch die Verzö-

gerungsstufe 514 spezifizierten Verzögerung und steuert als Reaktion auf eine solche Erfassung CORECLK auf Hochpegel. In ähnlicher Weise erfaßt der Steigungsflankendetektor 108c einen Niedrig-Hoch-Übergang von CORECLK nach  
5 der durch die Verzögerungsstufe 514 spezifizierten Verzögerung und steuert CORECLK als Reaktion hierauf auf Niedrigpegel. Nachdem der jeweilige Hoch-Niedrig-Übergang vom Steigungsflankendetektor 108c erfaßt worden ist, wird der Zähler inkrementiert. Wenn der Ausgang des Zählers gleich  
10 n ist, wird das Übereinstimmungssignal auf Hochpegel gesteuert. Somit wird der nächste Impuls am Ausgang des Fallflankendetektors 108b blockiert. Somit verharret CORECLK in einem Niedrigpegelzustand, bis zur nächsten aktiven Flanke von CLKIN, die den Zähler 106 zurücksetzt.

15 Wie gezeigt, schafft diese Schaltung Takte mit 50 % Tastverhältnis unter Verwendung einer einzelnen Verzögerungsstufe 514. Somit kann der Schaltungsaufwand, der zum Implementieren der Taktmultipliziererschaltung erforderlich  
20 lich ist, deutlich reduziert werden.

Die vorliegende Erfindung kann somit implementiert werden, um deutliche Vorteile gegenüber herkömmlichen Taktverdopplungsschemen zu schaffen. Erstens, die vorlie-  
25 gende Erfindung sorgt für die Erzeugung eines internen Taktes mit der Grundfrequenz des Eingangstaktsignals oder einem Vielfachen derselben und mit einer Phasendauer, die vom Tastverhältnis des Eingangstaktsignals unabhängig ist. Somit beeinflussen die Instabilitäten des Tastver-  
30 hältnisses des Eingangstaktsignals oder Störungseffekte wie z. B. Überspringen und dergleichen kaum die internen Taktsignale, selbst bei hohen Frequenzen von mehr als 25 MHz. Ferner kann die Phasendauer des internen Taktsig-  
nals entsprechend dem ungünstigsten Logikpfad innerhalb  
35 der Schaltung optimiert werden, so daß eine fehlerhafte Operation selbst bei Eingangstakten mit instabilem



Tastverhältnis vermieden werden kann. Außerdem kann die Erzeugung der optimierten Phasendauer mittels einer Verzögerungsstufe so durchgeführt werden, daß Schwankungen der Temperatur, der Spannung sowie von Herstellungsparametern genau ausgeglichen werden, wobei eine Charakterisierung und Einstellung derselben ermöglicht wird. Es wird daher angenommen, daß die vorliegende Erfindung die Erzeugung interner Taktsignale in integrierten Hochfrequenzschaltungen erheblich erleichtert, insbesondere in denjenigen, die über einen breiten Betriebsstromversorgungs-Spannungsbereich arbeiten.

Der Taktmultiplikationsfaktor  $n$  kann fest verdrahtet oder in einem Speicher gespeichert sein, so daß die Anzahl der Ausgangstaktzyklen, die als Reaktion auf eine aktive Flanke des Eingangstaktes ausgelöst werden, ohne Veränderung des Schaltungsentwurfs verändert werden kann. Der Taktmultiplizierer kann mit nur einer Verzögerungsschaltung implementiert sein.

Obwohl die Erfindung hier mit Bezug auf ihre bevorzugten Ausführungsformen beschrieben worden ist, ist klar, daß Abwandlungen derselben sowie Alternativen zu diesen Ausführungsformen, die die Vorteile der Erfindung erreichen, für Fachleute mit Bezug auf diese Beschreibung und ihre Zeichnungen offensichtlich sind. Zum Beispiel können entweder steigende oder fallende Flanken des Eingangstaktes, oder beide, zum Erzeugen des multiplizierten Taktes verwendet werden. Ferner kann eine andere Logik als die SR-Flip-Flops verwendet werden, um die Taktübergänge als Reaktion auf den Ausgang der Flankendetektoren zu erzeugen. Wie hier gezeigt worden ist, kann ferner die Schaltung für das Zählen der Taktübergänge unter Verwendung eines Universalzählers oder durch diskrete Logik implementiert sein. Die Anzahl der Übergänge, die gezählt werden sollen, kann sich in Abhängigkeit davon ändern,

welche Signale als Reaktion auf die Erfassung eines gewünschten Zählerwertes blockiert werden. Es wird angenommen, daß solche Abwandlungen und Alternativen im Umfang der beanspruchten Erfindung liegen.



## Ansprüche

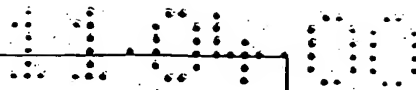
1. Takterzeugungsschaltung zum Erzeugen von Ausgangstakt-  
5 signalen (CORECLK) als Reaktion auf ein Eingangstakt-  
signal (CLKIN), die aufweist:

eine rücksetzbare Signalspeicherschaltung (312a; 412;  
512) zum Erzeugen einer Folge von Ausgangstakt-  
10 flanken als Reaktion auf das Auftreten einer einzigen  
aktiven Flanke des Eingangstaktsignals;

wobei die Signalspeicherschaltung einen ersten Eingang  
(S) beinhaltet, der derart gekoppelt ist, daß er ein  
15 von einer Erfassungsschaltung (96a; 102a; 108a) als Re-  
aktion auf ein Erfassen der aktiven Flanke des Ein-  
gangstaktsignals eingegebenes Signal aufnimmt, um da-  
durch einen ersten Ausgangssignalübergang in einer er-  
sten Richtung der Signalspeicherschaltung zu bewirken;

wobei der Signalspeicherausgang durch eine Verzöge-  
rungseinrichtung (314a; 414; 514) und einen ersten Vor-  
richtung (96b; 102b; 108c) zum Erfassen einer aktiven  
Flanke mit einem anderen Eingang (R) der Signalspei-  
25 cherschaltung gekoppelt ist, um ein in den anderen Ein-  
gang eingegebenes Signal anzulegen, was einen Aus-  
gangssignalübergang in einer entgegengesetzten Richtung  
zu der ersten Richtung als Reaktion auf ein Erfassen  
eines Ausgangssignalübergangs in der ersten Richtung  
30 nach einer von der Verzögerungseinrichtung vorgesehenen  
Verzögerung bewirkt;

eine Schaltung mit einer Verzögerungseinrichtung (314b;  
414b; 514), die mit einer zweiten Vorrichtung (96c;  
35 102c; 108b) zum Erfassen einer aktiven Flanke gekoppelt  
ist, um verzögerte Ausgangssignalübergänge der Signal-  
speicherschaltung in einer vorbestimmten Richtung zu



erfassen und als Reaktion auf jeden erfaßten Übergang ein weiteres Eingangssignal an den ersten Eingang der Signalspeicherschaltung nach einer jeweiligen Verzögerungserhöhung anzulegen, wobei jedes weitere Eingangssignal einen anderen Ausgangssignalübergang der Signalspeicherschaltung in der ersten Richtung bewirkt; und

eine Schaltung (312b; 105 bis 107) zum Sperren eines Betriebs der Signalspeicherschaltung nach einem Erzeugen einer vorbestimmten Anzahl von Ausgangstaktsignalfanken.

2. Takterzeugungsschaltung nach Anspruch 1, bei der die Verzögerungseinrichtung mittels einer gemeinsamen Verzögerungseinrichtung (514) vorgesehen ist, die einen Ausgang aufweist, der mit jeder der ersten und zweiten Vorrichtungen zum Erfassen einer aktiven Flanke gekoppelt ist, und bei der eine der ersten und zweiten Vorrichtungen zum Erfassen einer aktiven Flanke eine Vorrichtung (108c) zum Erfassen einer Anstiegsflanke und die andere eine Vorrichtung (108b) zum Erfassen einer Abfallsflanke ist.

3. Takterzeugungsschaltung nach Anspruch 1 oder Anspruch 2, bei der die Sperrschaltung als Reaktion auf das Erfassen einer aktiven Flanke des Eingangstaktsignals rückgesetzt wird.

4. Takterzeugungsschaltung nach einem der Ansprüche 1 bis 3, bei der die Sperrschaltung eine Zählschaltung (106) zum Zählen von Ausgangstaktsignalfanken beinhaltet und bei der das Erfassen einer Flanke in der Signalspeicherschaltung als Reaktion auf ein Vergleicherausgangssignal (MATCH) auf der Grundlage eines Vergleichs des



Zählwerts der Zählschaltung mit einer vorbestimmten Anzahl (n) gesperrt wird.

- 5 5. Takterzeugungsschaltung nach Anspruch 4, die derart angeordnet ist, daß das Erfassen der aktiven Flanke eines Eingangstaktsignals bewirkt, daß die Zählschaltung rückgesetzt wird.
- 10 6. Takterzeugungsschaltung nach einem der Ansprüche 1 bis 5, die derart angeordnet ist, daß das Erfassen der aktiven Flanke des Eingangstaktsignals bewirkt, daß die Signalspeicherschaltung anfänglich gesetzt wird.
- 15 7. Takterzeugungsschaltung nach Anspruch 1, bei der die verzögerten Ausgangssignale aus der Signalspeicherschaltung durch eine Gatterschaltung (100, 312c, 314b, 96c; 105), die durch die Sperrschaltung (312b; 106, 107) nach einem Erzeugen der vorbestimmten Anzahl von Ausgangstaktsignalfanken gesperrt wird, an den ersten Eingang der Signalspeicherschaltung gekoppelt werden.
- 20 8. Schaltung nach Anspruch 1 oder Anspruch 2, bei der mindestens einer der vorbestimmten Verzögerungen durch eine Mehrzahl von logischen Elementen ausgeführt ist, von denen alle einer unterschiedlichen logischen Funktion (14f) entsprechen.
- 25 9. Schaltung nach Anspruch 1 oder Anspruch 2, bei der mindestens eine der vorbestimmten Verzögerungen durch eine feste Verzögerungsstufe (14f) in Reihe zu einer veränderbaren Verzögerungsstufe (14v) ausgeführt ist, die eine Mehrzahl von Verzögerungselementen (60) aufweist;
- 30 35

110400



und eine Auswahlhaltung (64<sub>1</sub>, 64<sub>2</sub>, 64<sub>3</sub>, 62) zwischen der Mehrzahl von Verzögerungselementen auswählt, um die Übertragungsverzögerung der veränderbaren Verzögerungsstufe einzustellen.

5

10. Schaltung nach Anspruch 9, bei der die veränderbare Verzögerungsstufe weiterhin eine Mehrzahl von programmierbaren Elementen (771) aufweist, die mit der Auswahlhaltung der veränderbaren Verzögerungsstufe (14v) gekoppelt ist und jeder der Mehrzahl von Verzögerungselementen zugehörig ist, wobei jedes programmierbare Element anzeigt, ob ihr zugehöriges Verzögerungselement in Reihe zu der veränderbaren Verzögerungsstufe zu schalten ist oder nicht.

10

15

11. Schaltung nach einem der Ansprüche 8 bis 10, die weiterhin aufweist: eine Mehrzahl von Multiplexern (70), von denen jeder einen ersten Eingang aufweist, der mit einem zugehörigen programmierbaren Element (77) gekoppelt ist, von denen jeder einen zweiten Eingang aufweist, der mit einer zugehörigen Auswahlleitung (15) gekoppelt ist, und von denen jeder einen Steuereingang aufweist, der mit einem Testbetriebseingang (TEST) gekoppelt ist, um als Reaktion auf den Testbetriebseingang entweder seine zugehörige Auswahlleitung oder sein zugehöriges programmierbares Element zum Bestimmen auszuwählen, ob das zugehörige Verzögerungselement (60) in Reihe zu der veränderbaren Stufe zu schalten ist oder nicht.

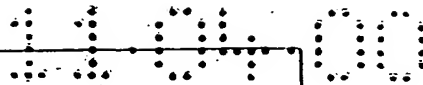
20

25

30

12. Verfahren zum Erzeugen von Ausgangstaktsignalen (CORECLK) als Reaktion auf ein Eingangstaktsignal (CLKIN) durch Einleiten einer Folge, die aufweist:

35



Betätigen einer rücksetzbaren Signalspeicherschaltung (312a; 412; 512), um eine Reihe von Ausgangstaktsignalfanken als Reaktion auf das Auftreten einer einzigen aktiven Flanke des Eingangstaktsignals zu erzeugen;

5

Anlegen eines Signals, das als Reaktion auf ein Erfassen der aktiven Flanke des Eingangstaktsignals in einen ersten Eingang (S) der Signalspeicherschaltung eingegeben wird, um dadurch einen ersten Ausgangssignalübergang der Signalspeicherschaltung in einer ersten Richtung zu bewirken;

10

nach einer vorbestimmten Verzögerung, Bewirken eines Signalspeicherschaltungs-Ausgangssignalübergangs in einer entgegengesetzten Richtung zu der ersten Richtung als Reaktion auf ein Erfassen eines Ausgangssignalübergangs in der ersten Richtung durch eine erste Vorrichtung (96b; 102b; 108c) zum Erfassen einer aktiven Flanke durch Anlegen eines Signals, das in einen anderen Eingang (R) der Signalspeicherschaltung eingegeben wird;

15

20

und dann als Reaktion auf ein Erfassen eines Ausgangssignalübergangs der Signalspeicherschaltung in einer vorbestimmten Richtung durch eine zweite Vorrichtung (96c; 102c; 108b) zum Erfassen einer aktiven Flanke, Anlegen eines weiteren Eingangssignals an den ersten Eingang der Signalspeicherschaltung nach einer vorbestimmten Verzögerung, um einen anderen Ausgangssignalübergang der Signalspeicherschaltung in der ersten Richtung zu bewirken, um ein Wiederholen der Folge einzuleiten;

25

30

und Sperren eines Betriebs der Signalspeicherschaltung nach einer ausgewählten Anzahl von Wiederholungen der Folge, um eine vorbestimmte Anzahl von Ausgangstaktsignalfanken zu erzeugen.

35



- 5 13. Verfahren nach Anspruch 12, bei dem eine vorbestimmte Anzahl von Ausgangstaktsignalflanken durch Zählen der Ausgangstaktsignalflanken (COUNT) und Vergleichen des Zählwerts mit einer Referenzanzahl (n) und Sperren des Wiederholens der Folge nach Vervollständigen des Zählwerts erzeugt wird.
- 10 14. Verfahren nach Anspruch 13, bei dem der Zählwert als Reaktion auf das Erfassen der aktiven Flanke des Eingangstaktsignals rückgesetzt (RESET) wird.
- 15 15. Verfahren nach einem der Ansprüche 12 bis 14, bei dem die Folge nach einem Sperren der Folge als Reaktion auf eine weitere aktive Flanke des Eingangstaktsignals wiederholt wird.
- 20 16. Verfahren nach einem der Ansprüche 12 bis 14, bei dem die vorbestimmten Verzögerungen auswählbar sind.
- 25 17. Verfahren nach Anspruch 12 oder Anspruch 16, bei dem die vorbestimmten Verzögerungen durch Verzögerungsstufen bestimmt werden, die feste (14f) und veränderbare (14v) Verzögerungselemente aufweisen.



110400

1/6

FIG. 1

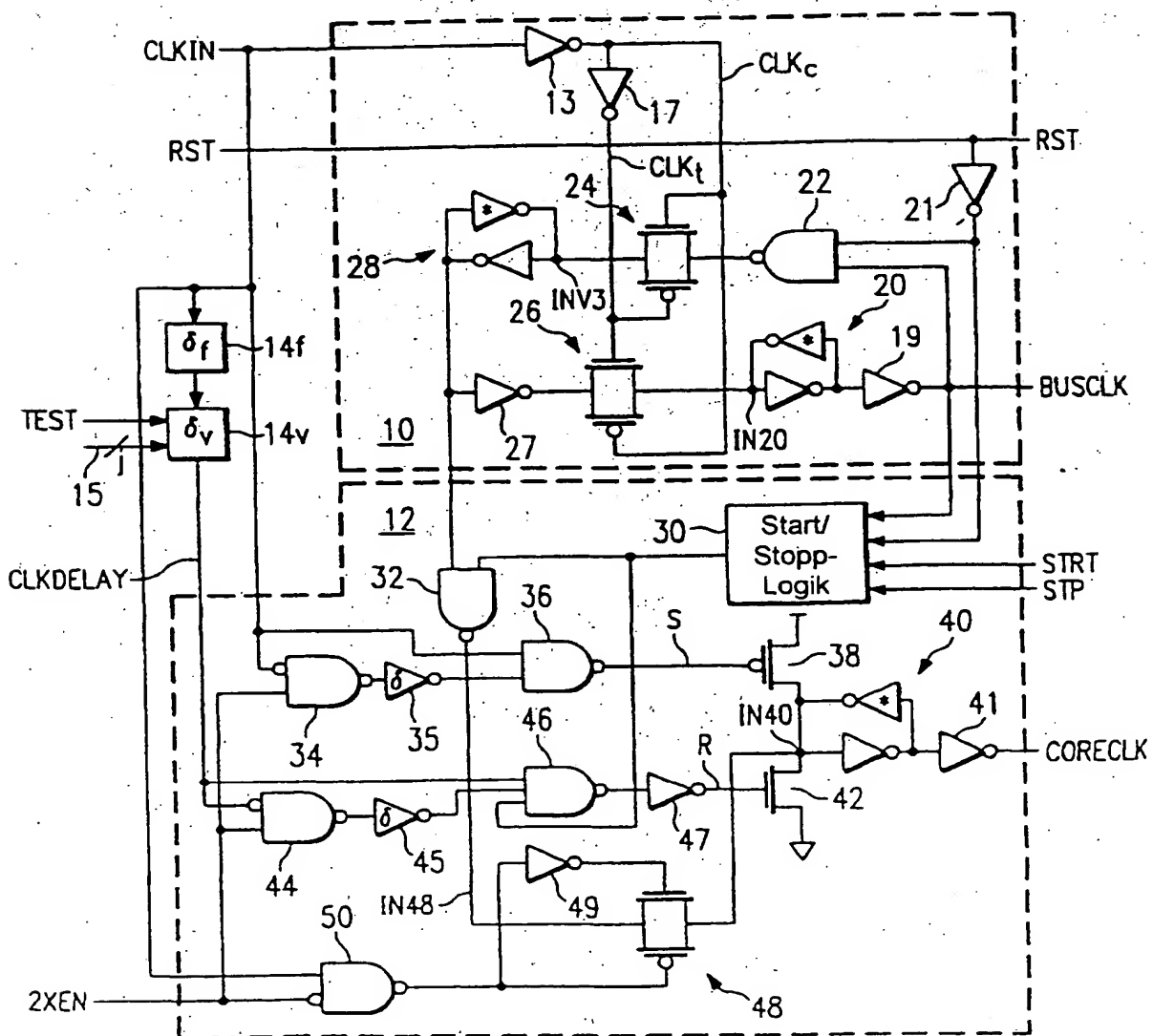
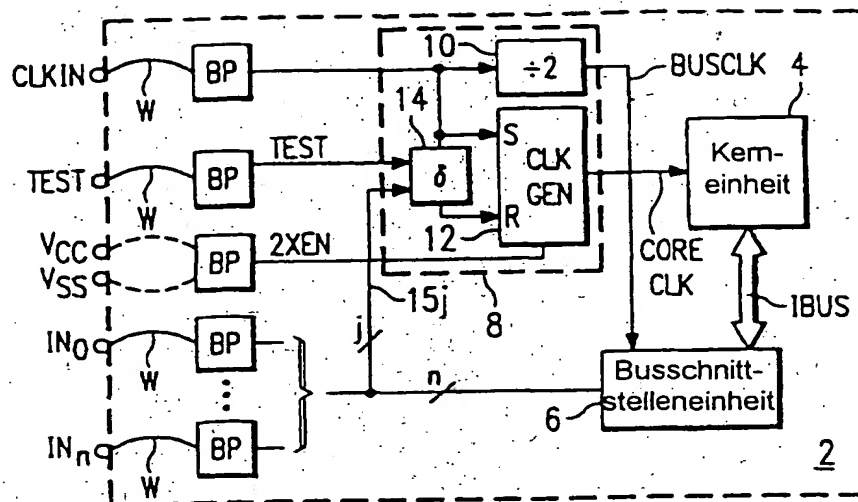
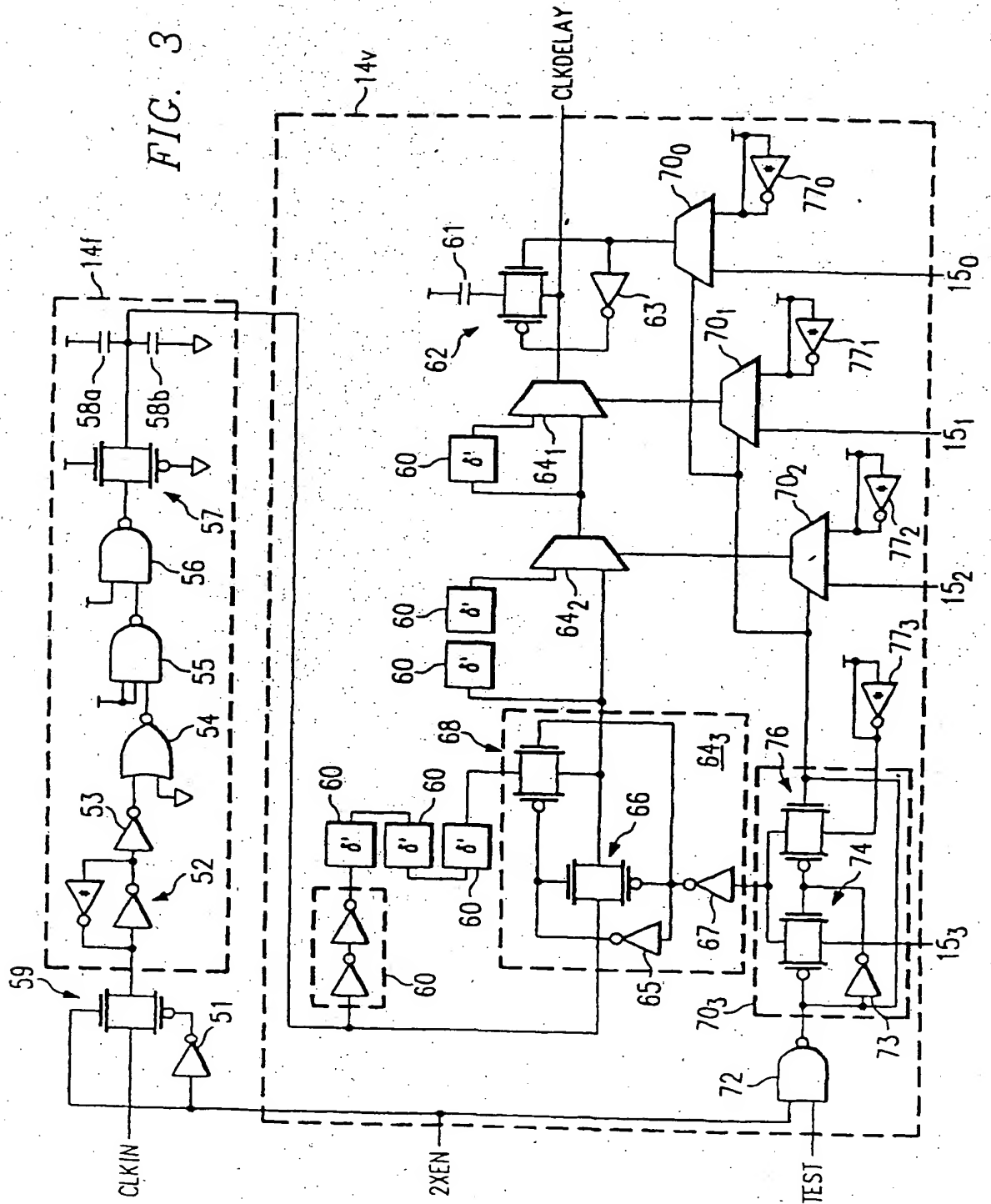
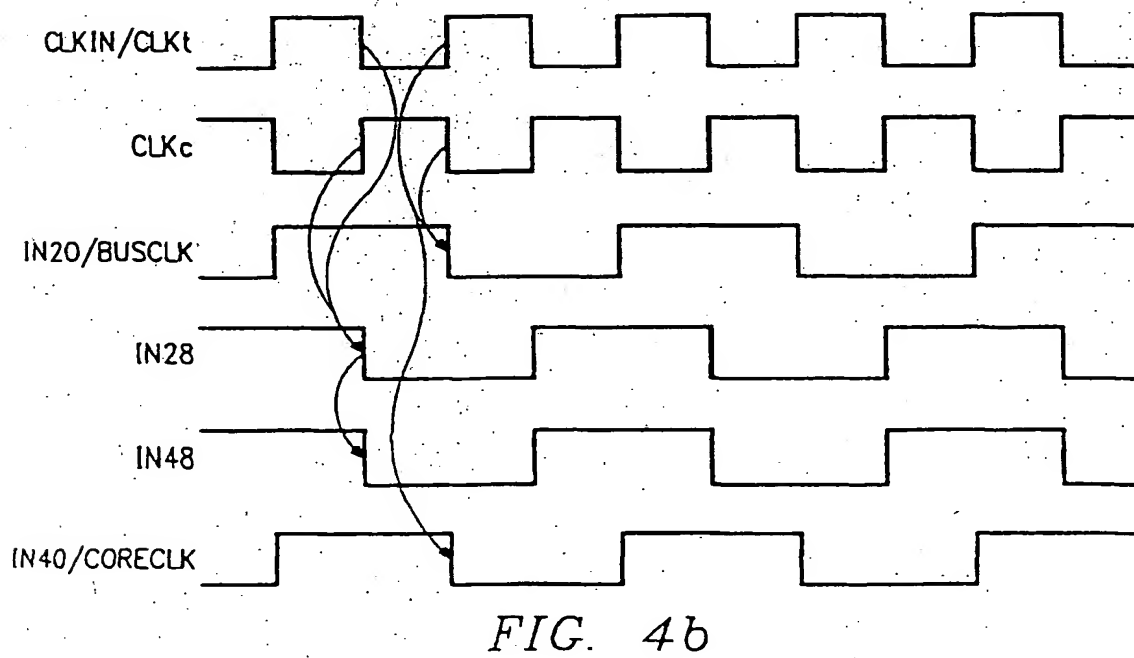
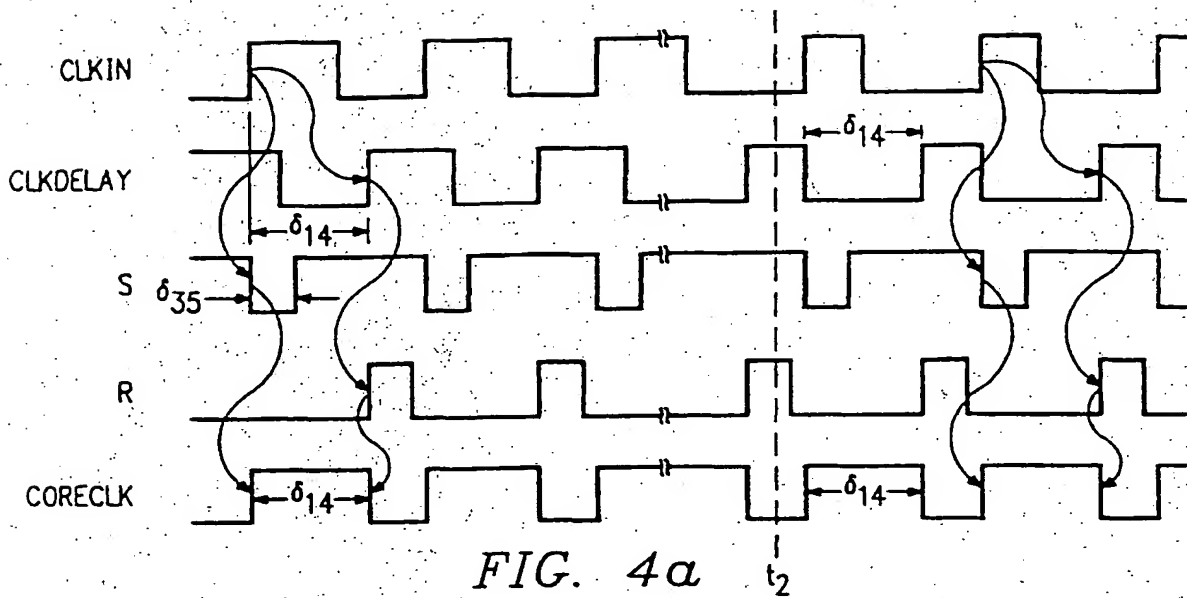
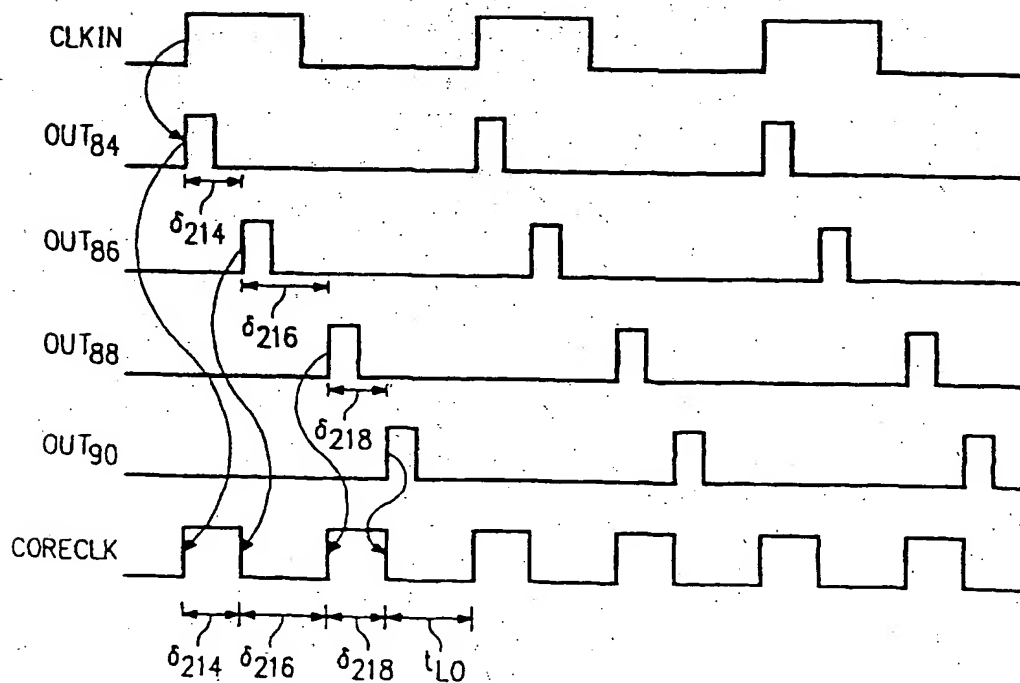
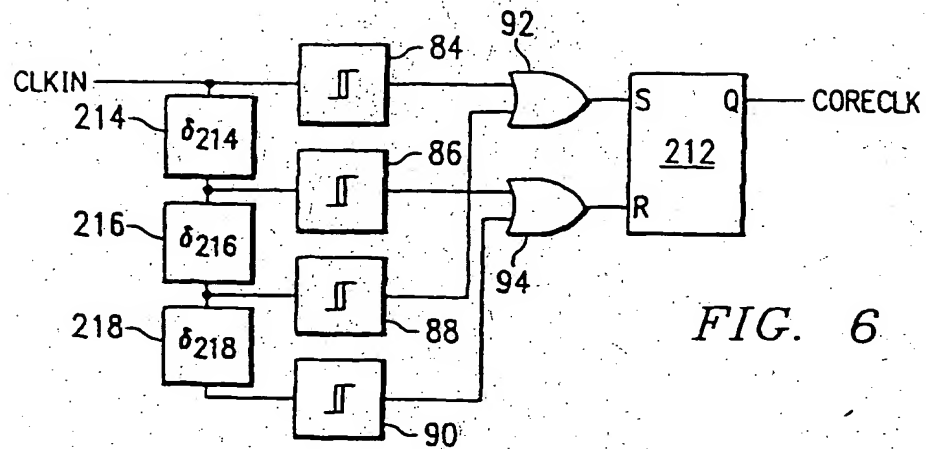
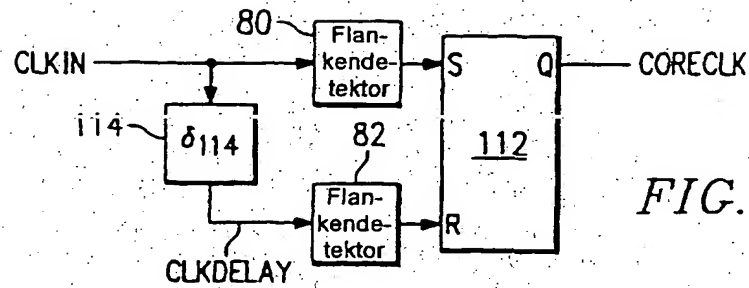


FIG. 2

FIG. 3







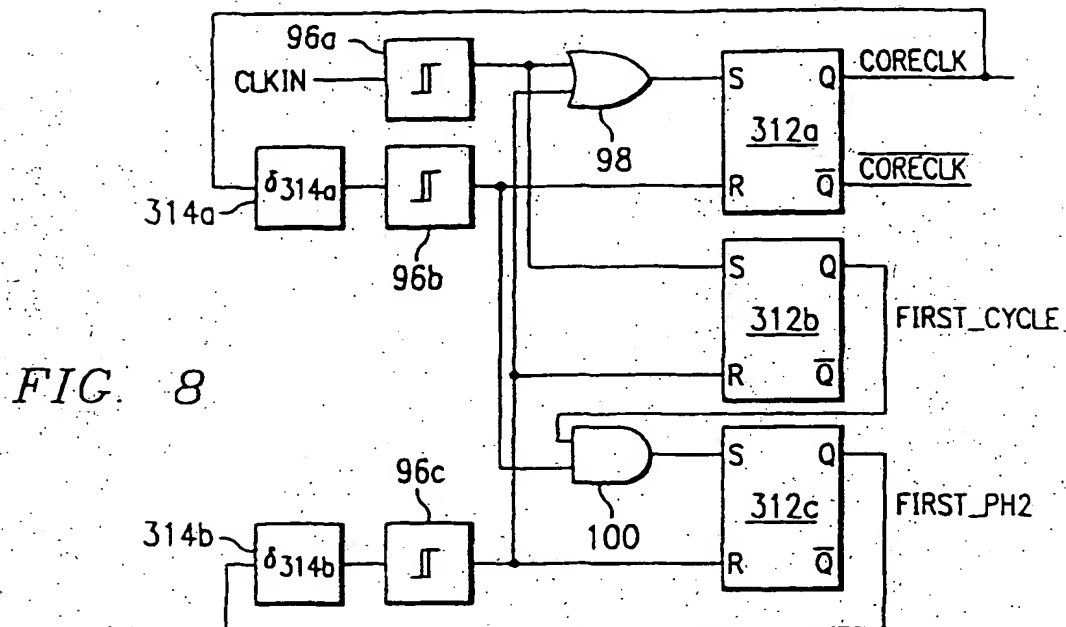


FIG. 8

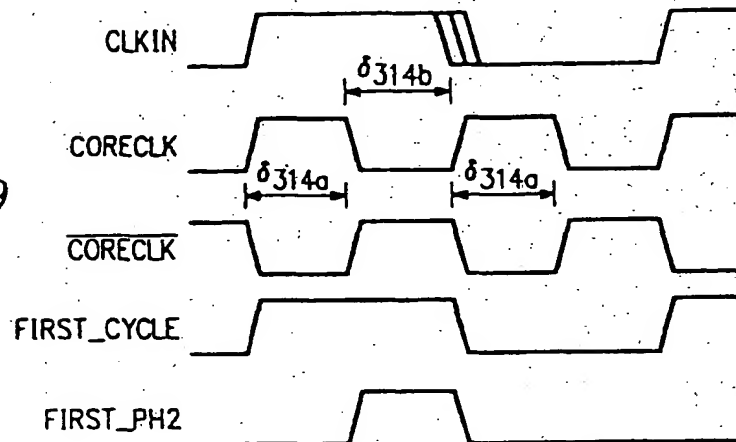


FIG. 9

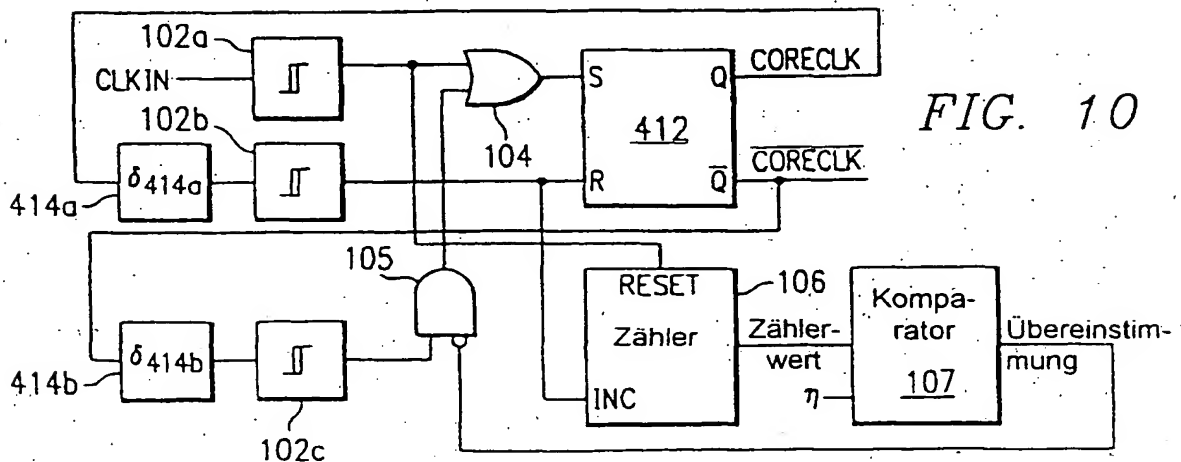


FIG. 10

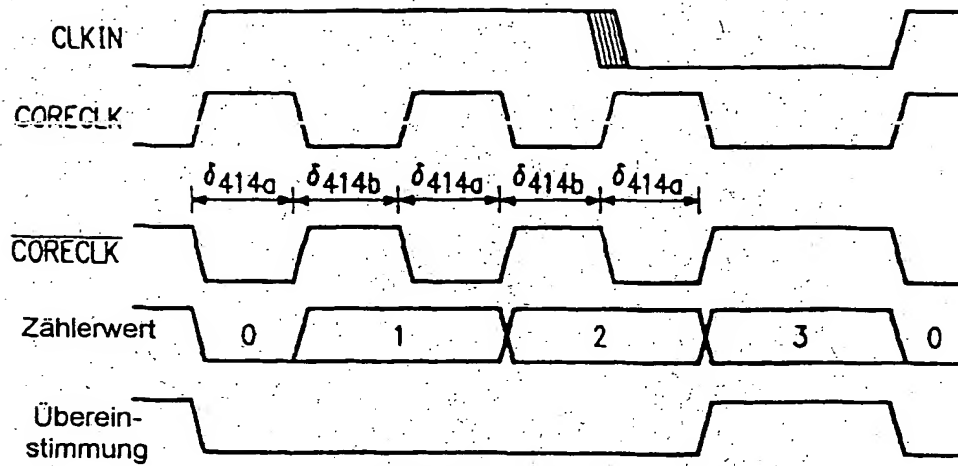


FIG. 11

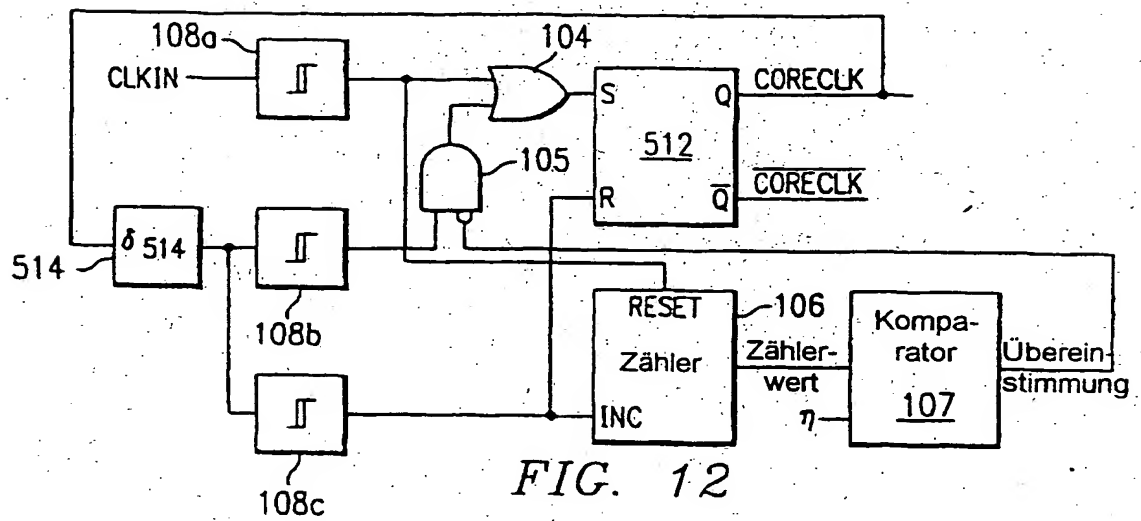


FIG. 12

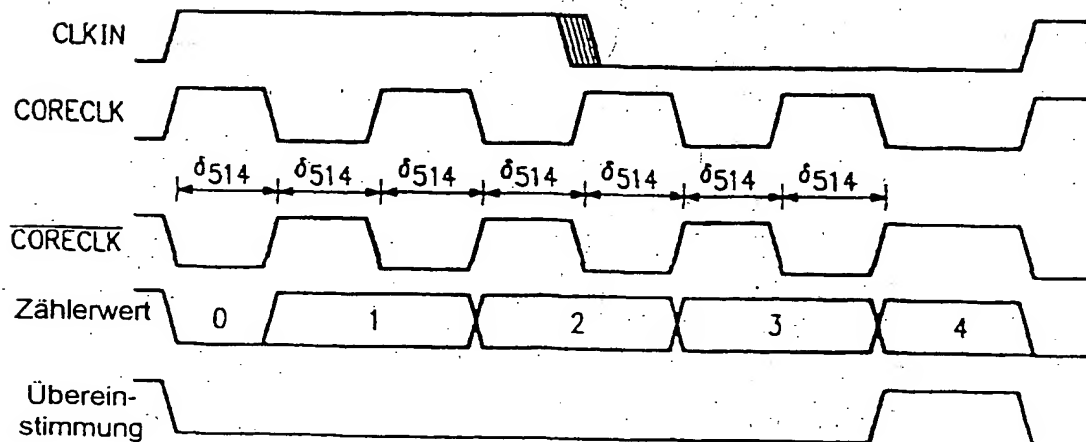


FIG. 13